壹、系爭專利舉發 N02 案之引證

- 舉發證據 2、3 爲旗標出版股份有限公司於民國 85 年 2 月初版之「EM-78 系列單晶片原理與實例應用」一書。
- 證據 4 爲弘碩電子科技有限公司向被上訴人公司訂購證據 3 所揭 EM78156 產品之訂單。
- 證據 5 爲被上訴人公司爲證據 4 之交易行爲所開立之統一發票，其開立日期爲 84 年 12 月 21 日。
- 證據 6 爲證據 4 與證據 5 交易之標的物照片。
- 證據 7 爲弘碩電子科技有限公司出具之具結書，其證明證據 4 確爲該公司於 84 年 11 月 3 日向被上訴人公司訂購 EM78156 產品之訂單影本。
- 證據 8 爲系爭專利主張優先權依據之美國專利申請案最終獲准之美國專利第 5,847,450 號。
- 證據 9 爲系爭專利主張優先權依據之美國專利申請案申請過程中之歷史檔案之相關部分。
- 證據 10 爲美國專利律師針對系爭專利之美國專利申請案出具之申請過程分析報告。
- 證據 11 爲歐洲專利局針對系爭專利之歐洲專利申請案發出之第 1 次核駁理由。
- 證據 12 爲上訴人針對證據 11 所作之答辯理由書。
- 證據 13 爲上訴人委託臺大慶齡工業研究中心出具之專利侵害鑑定報告。
- 舉發附件 1 爲證據 10 之中譯本。
- 附件 2 爲西元 1995 年 10 月 31 日公告之美國專利第 5,463,249 號。
- 附件 3 爲 1989 年 9 月 12 日公告之美國專利第 4,866,508 號。
- 附件 4 爲系爭專利之第 1 圖加註證據 2 記載該電路之頁數。
- 附件 5 爲證據 2 分述於不同頁數的電路還原圖。
- 附件 6 爲證據 2 分述於不同頁數之電路組合圖。
- 附件 7 爲證據 13 中之比較表與證據 2 內容之對照表。

貳、系爭專利舉發 N03 案之引證

●舉發證據 2 爲西元 1995 年 10 月 31 日公告之美國專利第 5,463,249 號。

●證據 3 爲 1989 年 9 月 12 日公告之美國專利第 4,866,508 號。

●證據 4 爲上訴人針對系爭專利之歐洲專利申請案所作之申復理由書及附件。

●證據 5 爲系爭專利之歐洲專利申請案之歐洲專利局第 2 次審定理由。

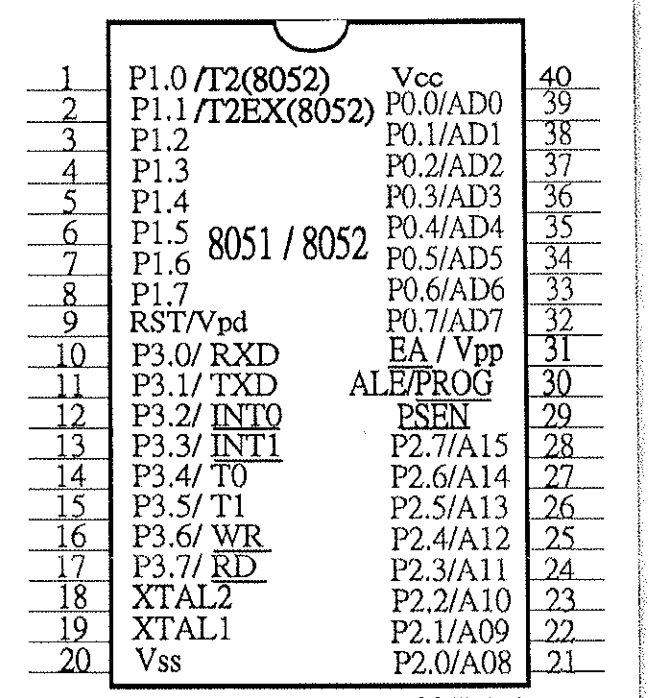
參、系爭專利請求項 1 與 8051 單晶片微電腦架構比對表：

項目	系爭專利請求項 1	8051 單晶片微電腦架構	是否揭露	進步性?
1	一種積體電路(IC)包裝，包含:	積體電路(IC)包裝	是	-
2	一 IC 晶片，有一微控制器，其中有 n 位元資料滙流排	一 IC 晶片，有一微控制器，其中有 8 位元資料滙流排	是	-
3	一第一接腳電耦合至該微控制器，其中該第一接腳係作為一電源接腳；	接腳 40，Vcc	是	-
4	一第二接腳電耦合至該微控制器，其中該第二接腳係作為一地線接腳；以及	接腳 20，Vss	是	-
5	多個第三接腳電耦合至該微控制器，其中該多個第三接腳係功能接腳，	第 10~15 接腳，P3.0/RXD 至 P3.5/T1	是	-
6	該多個接腳中至少一接腳係為多功能接腳，	第 10~15 接腳係為多功能接腳，P3.0/RXD 至 P3.5/T1	是	-
7	該第一接腳、第二接腳及多個第三接腳之總數至少為三	接腳 40、接腳 20 及第 10~17 接腳之總數至少為三	是	-
8	且少於或等於該資料滙流排之滙流排寬度	對於該發明所屬技術領域之通常知識者而言，其僅係於 IC 包裝時省略部分不需使用之晶片之 I/O 接腳，而選用部分需使用到之 I/O 接腳並將之接出及露出於包裝外部之通常知識，例如可參酌圖 1，若 8051 晶片不需外接記憶體(28256 或 62256)及 LED，以及過多 I/O 接腳的應用情況下，則僅需選用 8051 之第 10~15 接腳 (P3.0/RXD 至 P3.5/T1)中之部分接腳並將之接出及露出於包裝外部，則其接腳總數自可等於或小於資料滙流排之滙流排寬度。因此系爭專利之選用部分 I/O 接腳之發明並未產生無法預期的功效，其為該發明所屬技術領域之通常知識者所能輕易完成。	-	是

肆、系爭專利請求項 11 與 8051 單晶片微電腦架構比對表：

項目	系爭專利請求項 11	8051 單晶片微電腦架構 (可參圖 1、附件 1 圖 2-1)	是否揭露	進步性?
1	一種操作積體電路(IC)包裝之方法，包含下列步驟：	積體電路(IC)包裝(圖 2-1(a)DIP 包裝)	是	-
2	提供一 IC 晶片，有一微控制器，其中有 n 位元資料滙流排；	提供一 IC 晶片，有一微控制器，其中有 8 位元資料滙流排；	是	-
3	提供一第一接腳電耦合至該微控制器，其中該第一接腳係作為一電源接腳；	接腳 40, Vcc	是	-
4	提供一第二接腳電耦合至該微控制器，其中該第二接腳係作為一地線接腳；以及	接腳 20, Vss	是	-
5	提供多個第三接腳電耦合至該微控制器，其中該多個第三接腳係功能接腳，	第 10~15 接腳(P3.0/RXD~ P3.5/T1)	是	-
6	該多個第三接腳中至少一接腳係為多功能接腳，	第 10~15 接腳(P3.0/RXD~ P3.5/T1)係為多功能接腳	是	-
7	該第一接腳、第二接腳及多個第三接腳之總數至少為三	接腳 40、接腳 20 及第 10~15 接腳之總數至少為三	是	-
8	且少於或等於該資料滙流排之滙流排寬度	對於該發明所屬技術領域之通常知識者而言，其僅係於 IC 包裝時省略部分不需使用之晶片之 I/O 接腳，而選用部分需使用到之 I/O 接腳並將之接出及露出於包裝外部之通常知識，例如可參酌圖 1，若 8051 晶片不需外接記憶體(28256 或 62256)及 LED，以及過多 I/O 接腳的應用情況下，則僅需選用 8051 之第 10~15 接腳(P3.0/RXD~P3.5/T1)中之部分接腳並將之接出及露出於包裝外部，則其接腳總數自可等於或小於資料滙流排之滙流排寬度。因此系爭專利之選用部分 I/O 接腳之發明並未產生無法預期的功效，其為該發明所屬技術領域之通常知識者所能輕易完成。	-	是

伍、8051 接腳圖（引用自黃寶強著：視窗版 51 組譯器／控制器一入門篇）

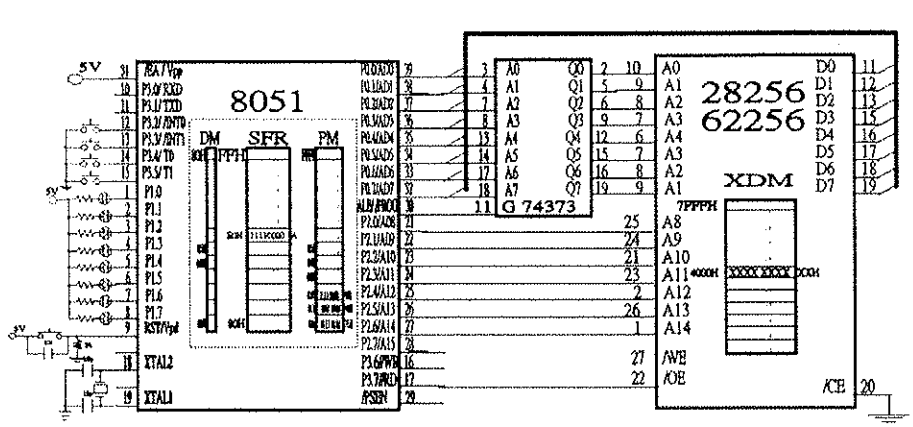


圖D-1.1 8051 / 8052接腳圖

陸、8051 接腳名稱與功能表（引用自黃寶強著：視窗版 51 組譯器／控制器—入門篇）

腳號	接腳名稱	方　向
1~8	P1 埠(P1.0~P1.7 或 90H~97H)腳:八個接腳合稱為埠 1 或 Port 1	輸出入埠
9	RST 腳:名稱為 RST 系統重置(Reset)	輸入
10~17	P3 埠腳:具有雙向 I/O 埠及特殊功能腳	輸出入埠
10、11	RXD、TXD 腳:串列傳輸輸出入腳	輸入
12	INT0 腳:外部中斷 0 腳	輸入
13	INT1 腳:外部中斷 1 腳	輸入
14	T0 腳:計時計數 0 外部輸入腳	輸入
15	T1 腳:計時計數 1 外部輸入腳	輸入
16	WR 腳:8051 寫資料到外部資料記憶體(XDM)的寫入閂控腳	輸出
17	RD 腳:8051 讀外部資料記憶體(XDM)資料的讀取閂控腳	輸出
18、19	$XTAL_2$、$XTAL_1$ 腳:振盪信號原或外部時脈的輸入腳	輸入
20	Vss 腳:名稱接地腳	輸入
21~28	P2 埠腳:雙向 I/O 埠，高位元位址匯流排	輸出入、輸出
29	PSEN 腳:作為外部程式記憶體讀取閂控腳	輸出
30	ALE/PROG 腳:作為位址鎖致能/燒錄脈波	輸出
31	EA/Vpp 腳:設定執行外部程式記憶體的致能腳 /燒錄電壓	輸入
32~39	埠 0(Port 0)腳:作為輸出入埠，資料和位址匯流排	輸出入、輸出入
40	Vcc 腳:名稱+5V 電源供應端	輸入

柒、8051 晶片外接記憶體與 LED 圖（引用自黃寶強著：視窗版 51 組譯器／控制器一入門篇）



執行內部程式記憶體(PM)及寫資料到XPM電路圖

捌、8051 內部記憶體與 8 位元資料匯流排示意圖（引用自黃寶強著：視窗版 51 組譯器／控制器—入門篇）

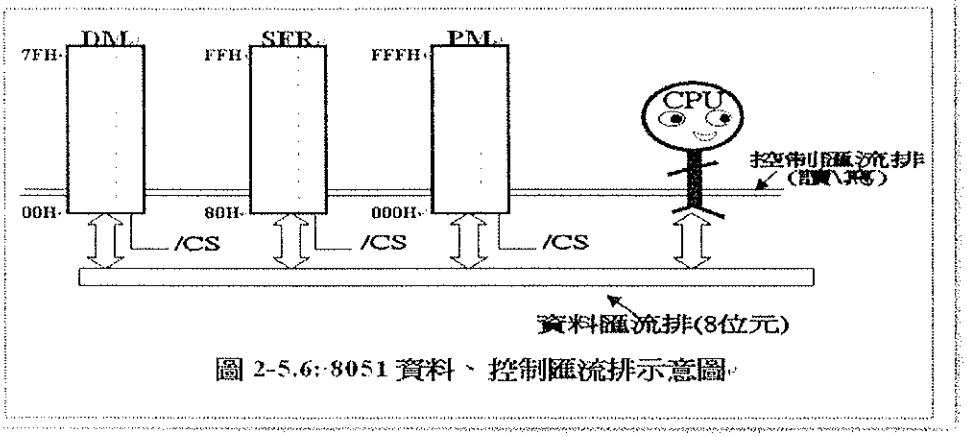


圖 2-5.6：8051 資料、控制匯流排示意圖

玖、8051 單晶片剩餘接腳與被控侵權物品(EM78P152)接腳之比較表

8051 單晶片			EM78P152		
編號	名稱	功能	編號	名稱	功能
40	Vcc	電源		Vdd	電源
9	RST	重置	P63	RST/VPP	重置
10	RXD	串列傳輸輸出入			
11	TXD	串列傳輸輸出入			
12	INT0	外部中斷 0	P60	INT	外部中斷
13	INT1	外部中斷 1			
14	T0	計時計數 0 外部輸入	P62	TCC	計時計數外部輸入
15	T1	計時計數 1 外部輸入			
18	XTAL2	振盪信號源或外部時脈輸入	P64	OSCO	外部時脈輸入
19	XTAL1	振盪信號源或外部時脈輸入	P65	OSCI	外部時脈輸入
			P61	Schmitt Trigger input	史密特觸發輸入
20	Vss	接地		Vss	接地

拾、MCU 系統圖框

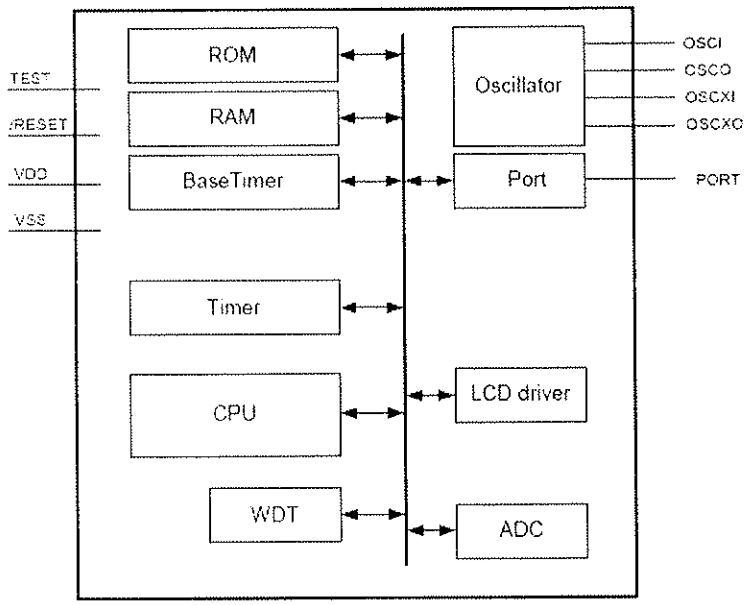


圖 1-2-1 MCU 系統框圖

拾壹、MPU8049 單晶片接腳圖

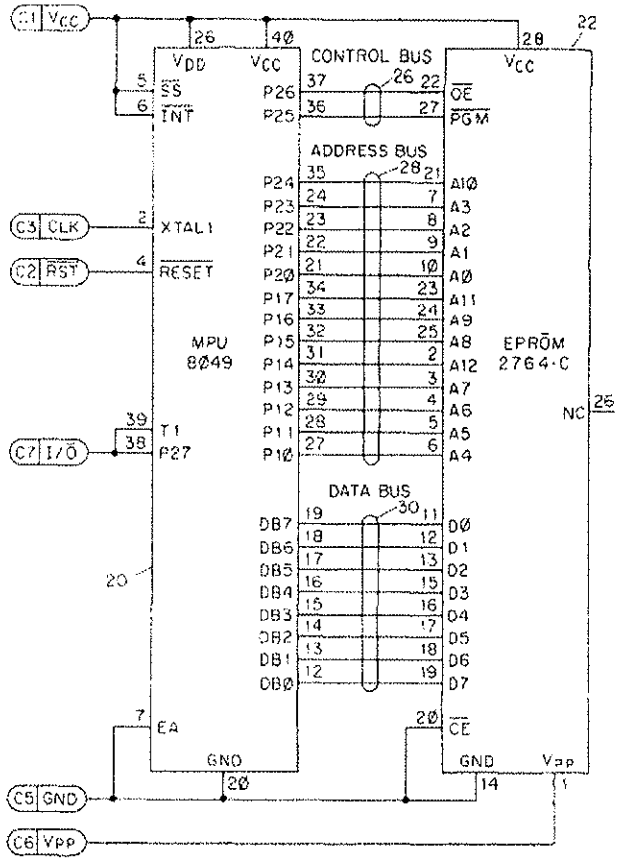


FIG. 3