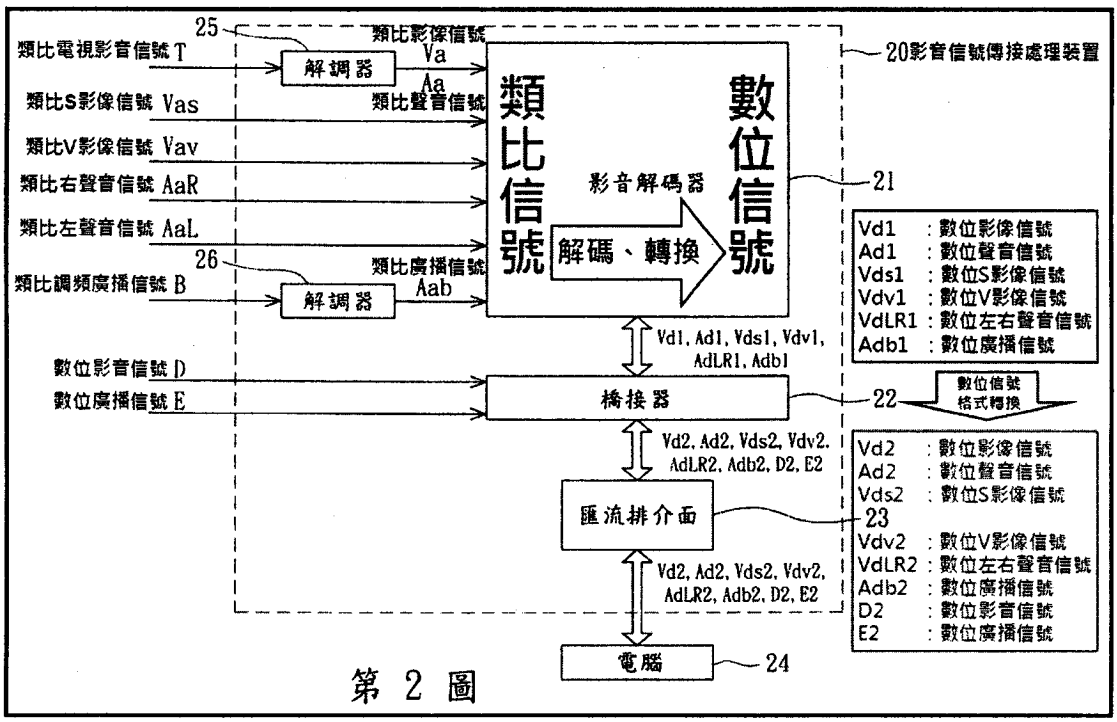
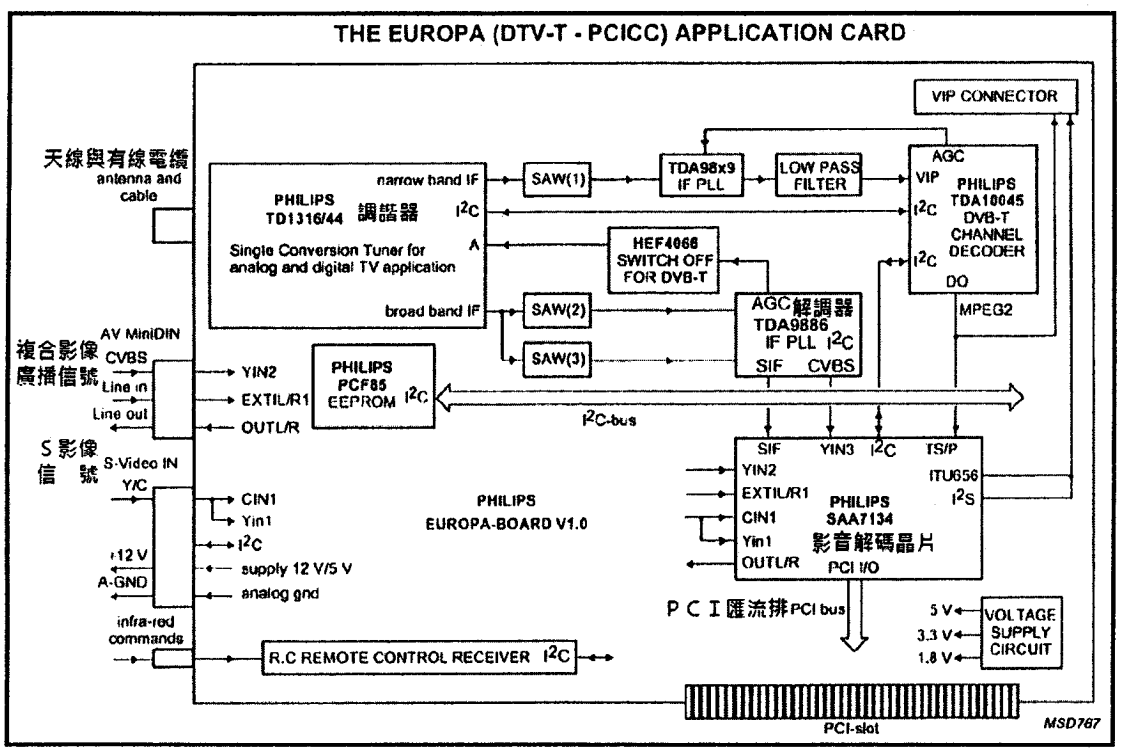
附件(100 行專更一 4)

圖示 P(即參加人系爭專利)

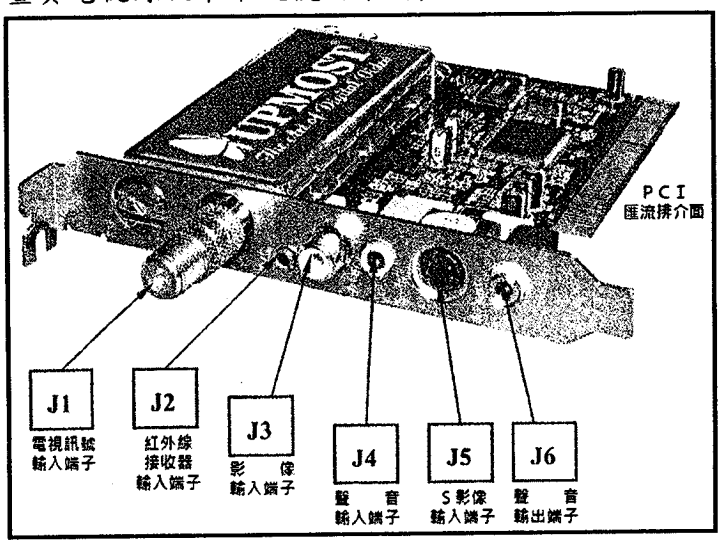


第 2 圖

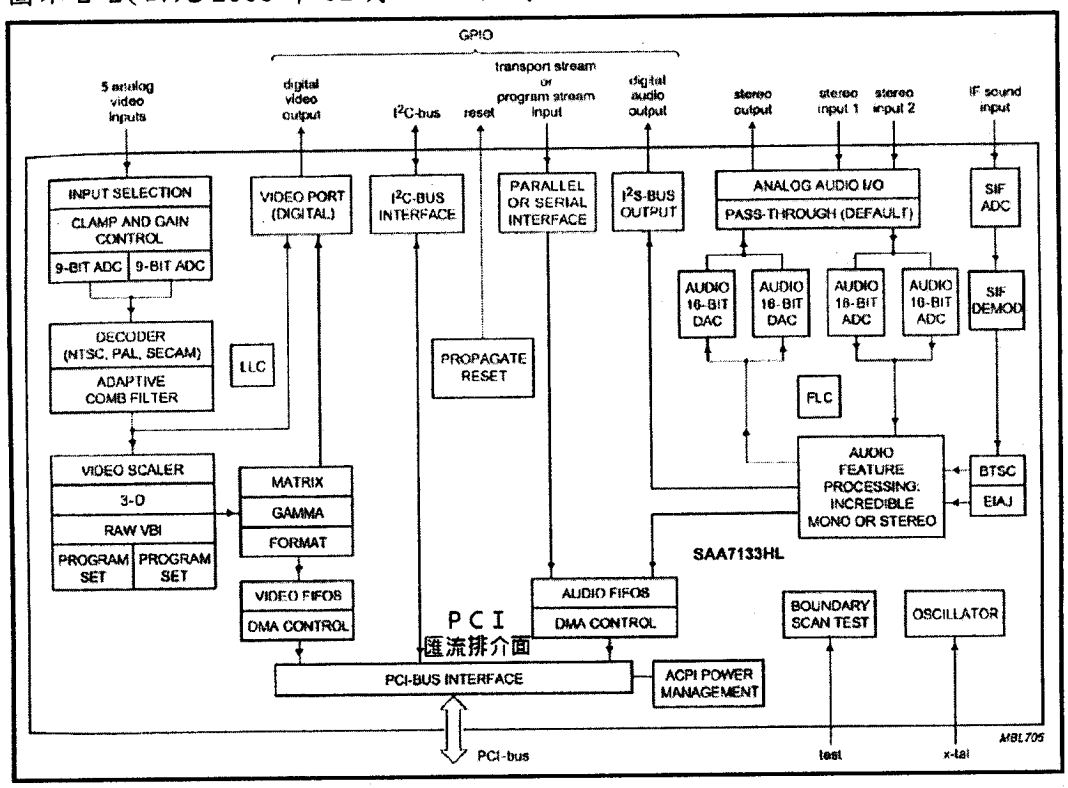
圖示 1(即證據 1，西元 2001 年 08 月公開之 PHILIPS EUROPA 技術文件)



圖示 2-1(即原證 2，西元 2003 年 07 月 01 日公開之 UPMOST UPT133 Much TV 高畫質電視錄放卡中文使用手冊)



圖示 2-2(西元 2003 年 02 月 04 日公開之 PHILIPS SAA7133 晶片技術文件)



圖示 3-1a(即原證 3，西元 1998 年 03 月 10 日公開之 PHILIPS「DPC7146 NetLook Videoconferencing Development Kit 」技術文件)

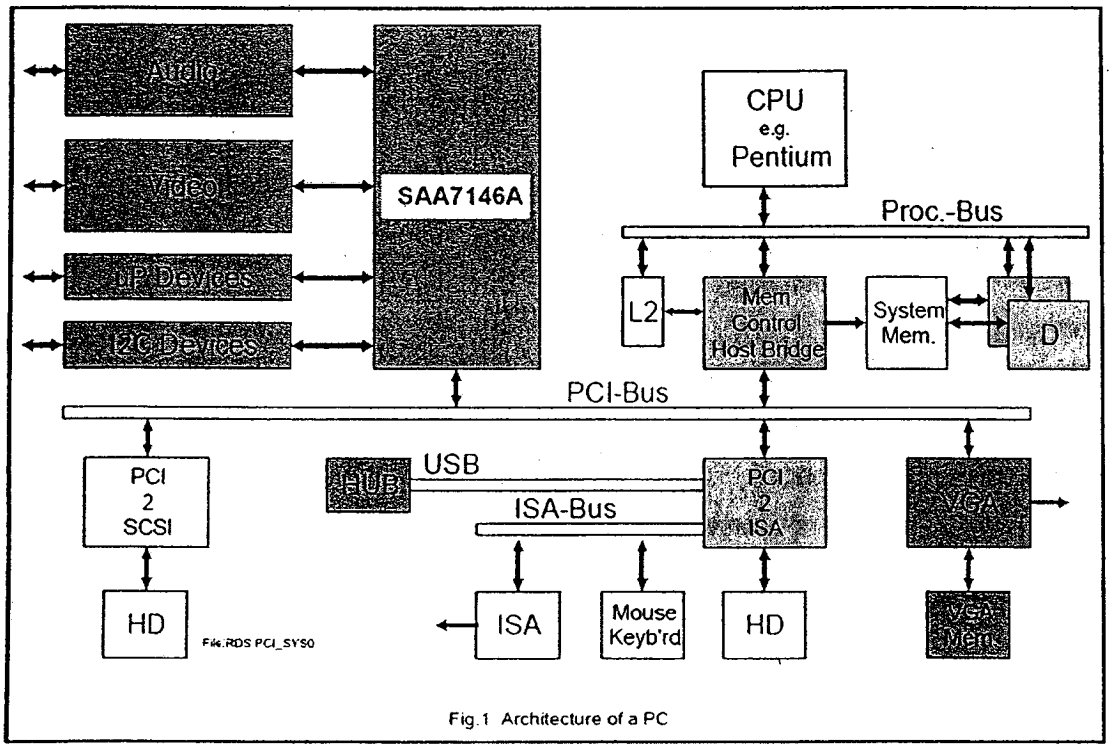


Fig.1 Architecture of a PC

圖示 3-1b

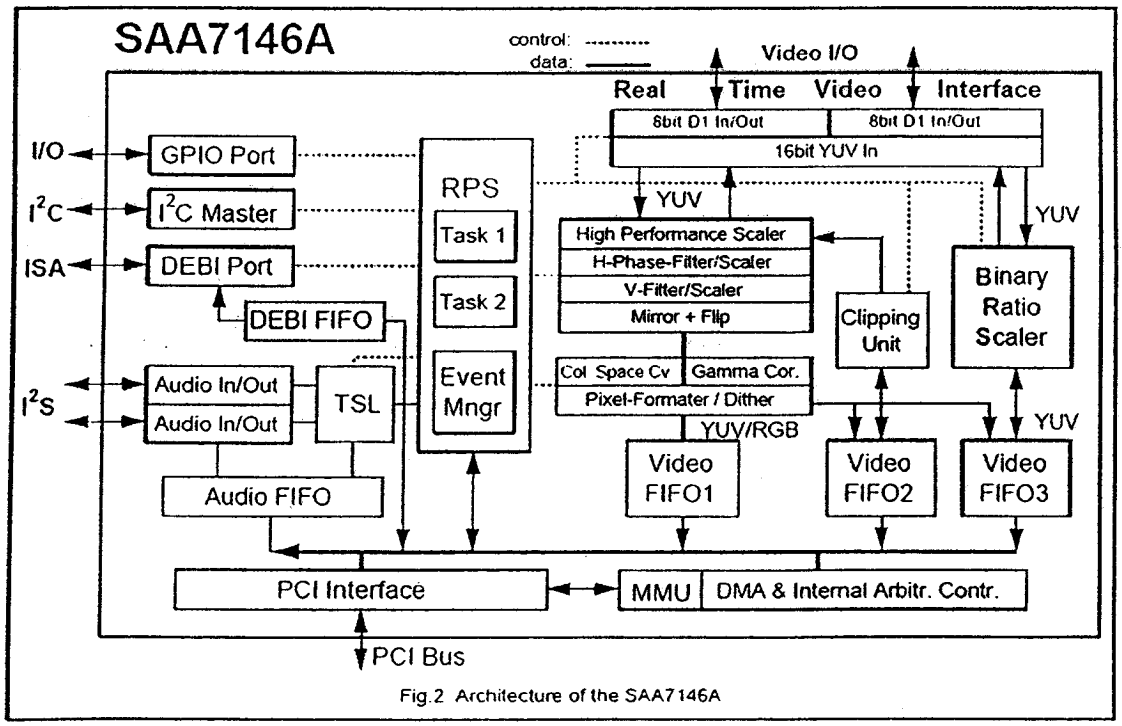


Fig.2 Architecture of the SAA7146A

圖示 3-1c

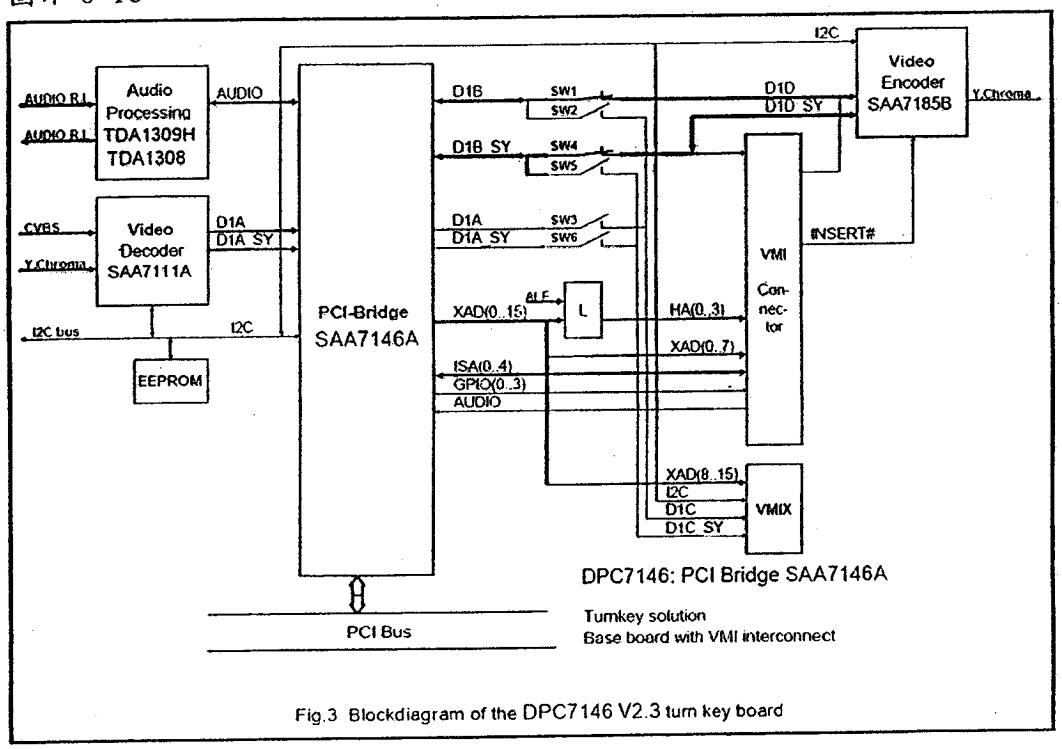


Fig.3 Blockdiagram of the DPC7146 V2.3 turn key board

圖示 3-2(西元 2000 年 12 月 14 日公開之 PHILIPS 「PCI-DVB Tuner Boards and Windows Drivers 」技術文件)

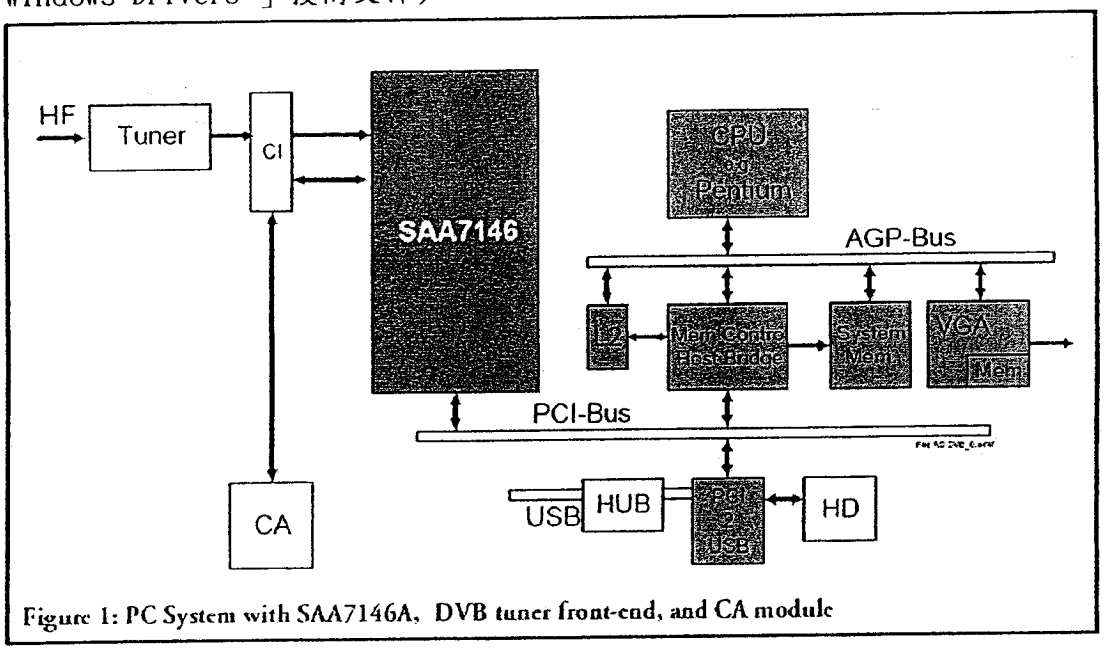


Figure 1: PC System with SAA7146A, DVB tuner front-end, and CA module

圖示 4-1(即原證 4，西元 2002 年 05 月 16 公開之美國第 20020059481 號「METHOD AND APPARATUS FOR A MULTIMEDIA APPLICATION SPECIFIC PROCESSOR」專利案)

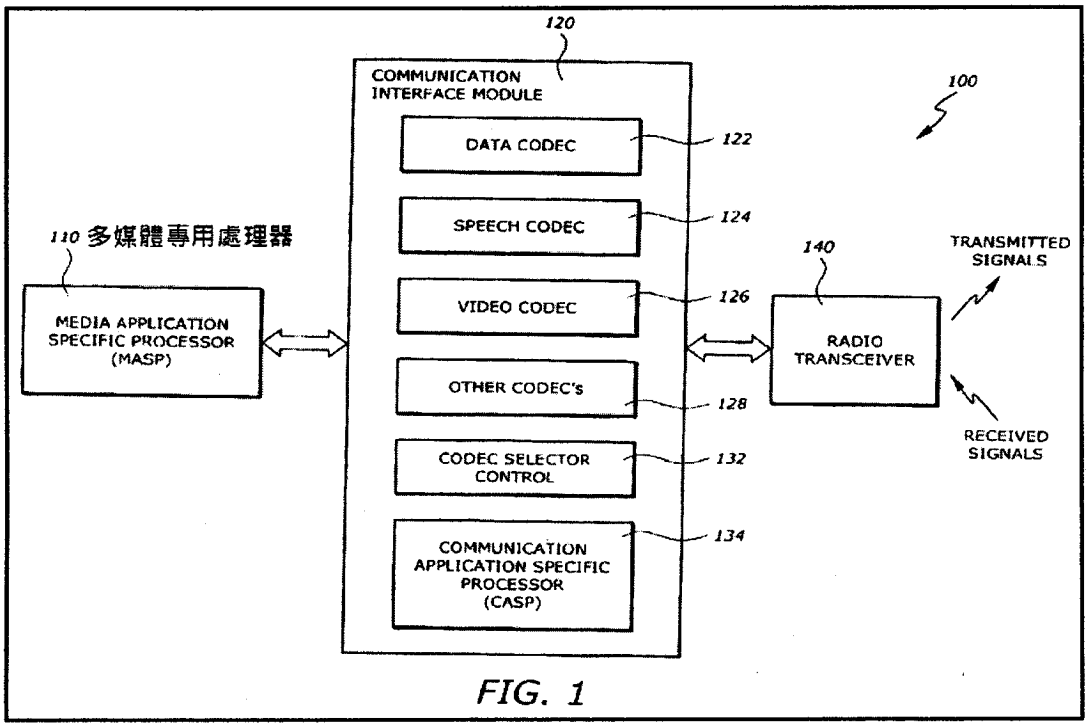


FIG. 1

圖示 4-2

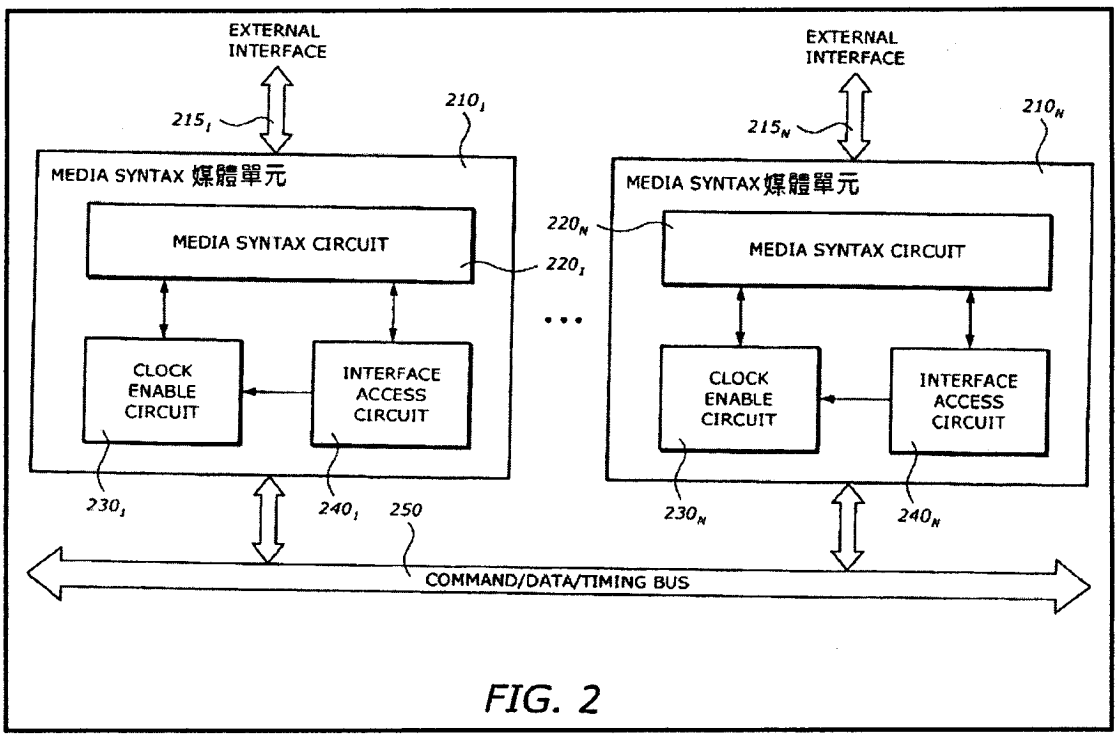


FIG. 2

圖示 4-3

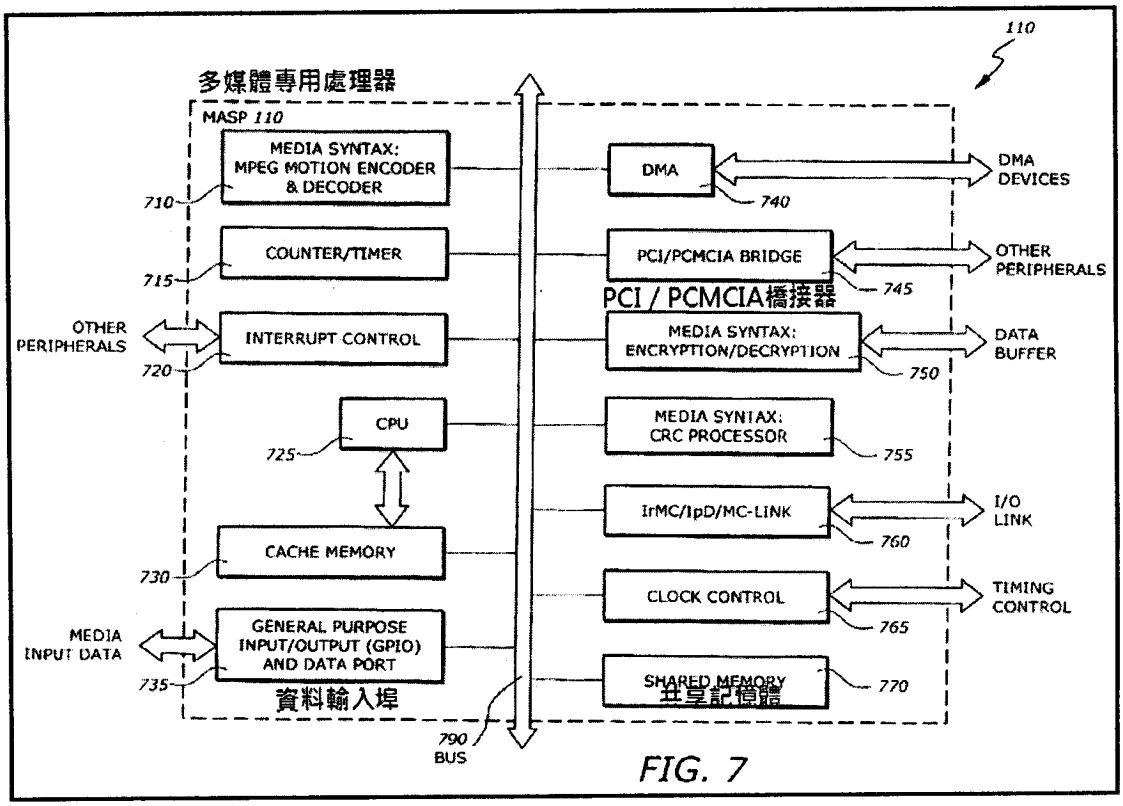


FIG. 7

圖示 3'（即附件 3，西元 2002 年 12 月 17 日公開之 PHILIPS SAA7134 晶片技術文件）

Table 1 TV decoder family with PCI interfacing

TV PARAMETER		TV DECODER TYPE[1]			
		SAA7130HL	SAA7133HL	SAA7134HL	SAA7135HL
PCI bridge	version	2.2	2.2	2.2	2.2
	DMA channel	7	7	7	7
TV video decoding	PAL, NTSC and SECAM	X	X	X	X
Video scaling	2 dimension and 2 task scaler	X	X	X	X
Raw VBI	27 MHz sampling rate	X	X	X	X
TV sound decoding	FM A2 and NICAM			X	X
	BTSC (dBx) plus SAP; EIAJ		X		X
	stereo sampling (I^2S-bus and DMA)		32 kHz	32 kHz, 48 kHz	32 kHz, 48 kHz
Radio	FM radio stereo		X		X
Audio	left and right pass-through	X	X	X	X
	stereo sampling (I^2S-bus and DMA)		32 kHz, 44.1 kHz, 48 kHz	32 kHz, 44.1 kHz, 48 kHz	32 kHz, 44.1 kHz, 48 kHz
	video frame locked audio		X	X	X
	incredible surround		X	X	X
	Dolby® Prologic (note 2)				X
	virtual Dolby® surround				X
	volume, bass and treble control		X	volume only	X
Transport stream	serial and parallel TS	X	X	X	X
GPIO	static I/O pins	27	27	27	27
	interrupt input pins	4	4	4	4
	I^2C-bus multi-master or slave	X	X	X	X
	video out	X	X	X	X

Notes

1. X = function available.
2. Dolby is a registered trademark of Dolby Laboratories Licensing Corporation.