

01 智慧財產法院民事判決

02 107年度民專上字第10號

03 上訴人即

04 被上訴人 Kioxia Corporation (鎧俠股份有限公司)

05 法定代理人 Michihito Hatsumi (初見通仁)

06 訴訟代理人 黃章典律師 (兼送達代收人)

07 簡秀如律師

08 樓穎智專利師

09 複代理人 李昆晃律師

10 上訴人 力晶科技股份有限公司

11 法定代理人 陳瑞隆

12 訴訟代理人 陳群顯律師

13 蕭富山律師

14 黃鈺如律師

15 上訴人 黃崇仁

16 上訴人 力積電子股份有限公司

17 法定代理人 蔡國智

18 被上訴人 智旺科技股份有限公司

19 法定代理人 洪志賢

20 上訴人 瑄譽科技有限公司

21 法定代理人 張馨文

22 上五人共同

23 訴訟代理人 陳錦隆律師

24 陳維鈞律師

25 複代理人 黃雪鳳律師

26 上列當事人間因侵害專利權有關財產權爭議等事件，兩造各自對

01 於中華民國106 年7 月5 日本院103 年度民專訴字第48號第一審
02 判決提起上訴，本院於108 年8 月29日言詞辯論終結，判決如下
03 ：

04 主 文

05 原判決關於主文第一至五項部分，及該部分假執行之宣告，暨命
06 力晶科技股份有限公司、黃崇仁、力積電子股份有限公司、瑄譽
07 科技有限公司負擔訴訟費用之裁判均廢棄。

08 前開廢棄部分，Kioxia Corporation（鎧俠股份有限公司）在第一
09 審之訴及假執行之聲請均駁回。

10 Kioxia Corporation（鎧俠股份有限公司）上訴駁回。

11 第一審及第二審訴訟費用由Kioxia Corporation（鎧俠股份有限
12 公司）負擔。

13 事實及理由

14 壹、程序方面

15 一、按被上訴人智旺科技股份有限公司（下稱智旺公司）之法定
16 代理人原為黃崇仁，於訴訟繫屬中變更為洪志賢，且其具狀
17 聲明承受訴訟（見本院卷二第171 頁），有卷附經濟部公司
18 登記查詢資料及委任狀各1 件在卷可稽（見本院卷二第173
19 至176 頁），亦無不合，應予准許。

20 二、次按，法人因合併而消滅者，訴訟程序在因合併而設立或合
21 併後存續之法人承受其訴訟以前當然停止。承受訴訟人，於
22 得為承受時，應即為承受之聲明。他造當事人，亦得聲明承
23 受訴訟。聲明承受訴訟，應提出書狀於受訴法院，由法院送
24 達於他造。民事訴訟法第169 條第1 項、第175 條及第176
25 條分別定有明文。查上訴人即被上訴人Kioxia Corporation
26 （中譯：鎧俠股份有限公司，除本段外，下稱鎧俠公司，於

01 民國108 年10月1 日更名) 前身Toshiba Memory Corporati
02 on東芝記憶體股份有限公司(於本段簡稱東芝公司, 即原審
03 原告) 於西元2018年8 月1 日之本院審理期間, 與K .K .Pa
04 ngea (日文名: 株式會社Pangea; 下稱Pangea公司) 進行吸
05 收合併, 原東芝公司消滅, 合併後存續之公司仍名為Toshib
06 a Memory Corporation, 有日本東京法務局出具之「閉鎖事
07 項全部證明書」影本節本及其節譯文(被上證6 號及6-1 號
08 , 見本院卷三第141 至143 頁) 在卷可稽, 業經東芝公司於
09 107 年10月15日提出民事聲明承受訴訟狀聲明承受訴訟(見
10 本院卷三第149 至155 頁), 經核無不合, 揆諸前揭說明,
11 應予准許。而原東芝公司既因合併而消滅, 其包含本件系爭
12 二專利權及其衍生之一切權利義務(包括已發生之損害賠償
13 請求權、進行相關訴訟之地位及權益等) 在內之所有權利義
14 務, 均由新東芝公司承受。新東芝公司已於107 年10月9 日
15 檢附相關文件向經濟部智慧財產局(下稱智慧局) 就系爭專
16 利一及系爭專利二申請登記前述權利異動事實, 有被上證7
17 號及8 號之專利權讓與登記申請書影本可證(見本院卷三第
18 145 至148 頁), 併予敘明。

19 三、又按, 民事事件涉及外國人或外國地者, 為涉外民事事件,
20 內國法院應先確定有國際管轄權, 始得受理。次依內國法之
21 規定或概念, 就爭執之法律關係予以定性後, 決定應適用之
22 法律(即準據法)。我國涉外民事法律適用法乃係對於涉外
23 事件, 就內國之法律, 決定其應適用何國法律之法, 至法院
24 管轄部分, 並無明文規定, 故就具體事件受訴法院是否有管
25 轄權, 得以民事訴訟法關於管轄之規定及國際規範等為法理
26 , 本於當事人訴訟程序公平性、裁判正當與迅速等國際民事

01 訴訟法基本原則，以定國際裁判管轄。查本件上訴人即被上
02 訴人鎧俠公司為日本公司，本件為涉外民事事件，而上訴人
03 力晶科技股份有限公司（下稱力晶公司）、黃崇仁、力積電
04 子股份有限公司（下稱力積公司）、瑄譽科技有限公司（下
05 稱瑄譽公司）、被上訴人智旺公司（以上即原審被告）之營
06 業所所在地、住所地皆設（住）於我國，東芝公司主張之侵
07 權行為地亦在我國，經類推民事訴訟法第1 條第1 項、第2
08 條第2 項、第15條第1 項規定，我國法院自有國際管轄權。
09 以智慧財產為標的之權利，依該權利應受保護地之法律，涉
10 外民事法律適用法第27條、第42條第1 項分別定有明文。東
11 芝公司主張其專利權被侵害，依我國專利法所保護之智慧財
12 產權益，是本件自應以市場之所在地、權利應受保護地之我
13 國法為準據法。

14 四、末按，當事人不得提出新攻擊或防禦方法。但有下列情形之
15 一者，不在此限：三、對於在第一審已提出之攻擊或防禦方
16 法為補充者。六、如不許其提出顯失公平者，民事訴訟法第
17 447 條第1 項第3 款、第6 款定有明文。查力晶公司於第二
18 審提出上證17之1980年出版之Linear Integrated Circuits
19 教科書及上證18之1999年12月13日出版之Industrial Instr
20 umentation：Principles and Design教科書所載之通常知
21 識，以證明中華民國證書號第154717號「非揮發性半導體記
22 憶體」發明專利（下稱系爭專利一）不具進步性之事實，東
23 芝公司認力晶公司逾時提出上證17、上證18作為有效性及侵
24 權爭點之新證據，意圖延滯訴訟，依法應有失權效等語。查
25 上證17、18號等教科書僅為力晶公司在106 年9 月5 日民事
26 上訴理由(一)狀即已提出「使電位變化時間縮短」通常知識之

01 補強證據，並非新證據，至多僅為原已提出攻擊防禦方法之
02 補充，因東芝公司嗣後一再爭執「使電位變化時間縮短」之
03 通常知識為系爭專利一之發明目的，若不許力晶公司就此部
04 分提出補充說明與回應，對力晶公司顯失公平，故依民事訴
05 訟法第447 條第1 項但書第3 款、第6 款之規定，力晶公司
06 得提出上證17及18號等補強證據。

07 貳、實體事項：

08 一、鎧俠公司主張：

09 (一)鎧俠公司係系爭專利一及中華民國證書號第I238412 號「半
10 導體積體電路」發明專利（下稱系爭專利二）之專利權人。
11 然由力晶公司、力積公司、智旺公司及瑄譽公司共同組成的
12 產銷網所經營之NAND Flash Memory 產銷團隊，鎧俠公司派
13 員與力積公司接洽購買取得A5U1GA31ATS-BC（下稱系爭產品
14 一）、A5U2GA31BTS-BC（下稱系爭產品二）、A5U4GA31ATS-
15 BC（下稱系爭產品三）產品及產品規格書。經鎧俠公司將系
16 爭產品一、二、三分別拆解並進行實驗分析結果，確認系爭
17 產品一、二、三均落入系爭專利一之請求項1 、3 、5 、6
18 及系爭專利二之請求項7 、13、15、17及18之申請專利範圍
19 。該四家公司既係以製造、銷售NAND Flash Memory 產品為
20 主要業務，自應負有查核他人專利技術之注意義務，且以鎧
21 俠公司在全球業界中之地位，其等實難推諉不知或不察系爭
22 二專利之存在及技術內容。鎧俠公司亦於101 年2 月、5 月
23 間曾發函予力晶公司（原證32號及原證33號），提醒鎧俠公
24 司在此領域中擁有諸多關鍵技術；該四家公司對於其產品是
25 否侵害鎧俠公司專利，更應予以查核並避免侵權，迺彼等卻
26 捨此不為，其侵權行為顯係出於故意或過失。鎧俠公司復於

01 103 年5 月20日再對力晶公司寄發存證信函，通知其所製造
02 之NAND Flash Memory 產品落入系爭專利一及系爭專利二之
03 範圍（原證34號），然力晶公司卻不予置理，繼續遂行相關
04 產品之製造、販賣，更足見其侵權之故意。且該四家公司間
05 應係以力晶公司為首，負責設計及製造或協助製造相關NAND
06 Flash Memory產品，並領導其他公司組成緊密產銷團隊，於
07 市場上推廣由力晶公司所設計及製造之NAND Flash Memory
08 產品；彼等應認為構成共同侵權行為無疑。其等共同製造、
09 販售侵害系爭專利之系爭侵權產品，鎧俠公司爰依修正前專
10 利法第84條第1 項前段、現行專利法第96條第2 項對其等請
11 求損害賠償，並依民法第185 條第1 項規定，請求彼等負連
12 帶賠償責；並依現行專利法第96條第1 項規定訴請排除及防
13 止侵害。另對於力晶公司等所製造及販賣之侵權產品，依現
14 行專利法第96條第3 項規定，亦得請求其銷毀，並應自市場
15 上回收已鋪貨產品等必要之處置。又黃崇仁於101 年11月11
16 日之前乃力晶公司之董事長，其雖自101 年11月12日卸任董
17 事長，但仍續任董事，並擔任該公司之執行長，亦屬公司之
18 經理人。依公司法第8 條第1 項及第2 項規定、第23條第2
19 項定，黃崇仁無論於擔任董事長期間或卸任董事長後至今，
20 均為力晶公司之負責人，依法自應與力晶公司對鎧俠公司負
21 連帶損害賠償責任等語。

22 (二)系爭專利一、二具有效性：

23 1.上證4 、上證4 與系爭專利一自承先前技術（圖4 ）之組合
24 均無法影響系爭專利一之有效性；上證17、18應予駁回；即
25 使考慮上證17、18，上證17、18無法影響系爭專利一之有效
26 性：

- 01 (1)根據90年專利法第22條第3 項及第71條第3 款之規定，90
02 年專利法第71條第3 款中所載之「說明書」係指說明書整
03 體，而非要求說明書中任何單一部分必須使熟習該項技術
04 者可據以實施其發明。且90年專利法第22條第3 項並未規
05 定僅根據申請專利範圍即可據以實施。反而，90年專利法
06 第22條第4 項才是明文規範申請專利範圍「應具體指明申
07 請專利之標的、技術內容及特點」。因此，系爭專利一請
08 求項1 已載明必要之三期間之電位關係，系爭專利一請求
09 項1 、3 、5 、6 符合90年專利法第71條第3 款之規定。
- 10 (2)系爭專利一之發明著重於對選擇閘電晶體之設定。根據系
11 爭專利一之揭示，系爭專利一已明確揭示各期間之選擇閘
12 電晶體之閘極電位設定。本領域具通常知識者不會在實施
13 系爭專利一之發明時採用不合理之電位值。具體而言，一
14 專利中之說明書、請求項、及圖式係針對本領域具通常知
15 識者所撰寫。本領域具通常知識者可理解該專利之發明概
16 念並以該領域之通常知識為基礎去實施請求項之發明。因
17 此，本領域具通常知識者不會任意將不合理之數值套用於
18 該專利。力晶公司依據系爭專利一說明書第22及23頁並主
19 張系爭專利一之第1 例揭示了VSG 之範圍，諸如 $VSG2 < V_{DD} + V_{th} - V_c$ 及 $VSG3 \geq V_{th}$ 。然而，這樣的範圍並未揭示於系
20 爭專利一說明書第22及23頁中，且其中 V_c 從未出現於系爭
21 專利一說明書中。綜上，系爭專利一說明書中具體記載了
22 VSG1、VSG2、VSG3之目的及可對應之電位範圍或具體電位
23 ，本領域具通常知識者根據系爭專利一說明書可毫無困難
24 地實施系爭專利一所請之發明。
- 25 (3)再者，智慧局曾二度於N01 及N02 「舉發不成立」審定書
26

01 中，認定系爭專利一請求項1、3、5、6並未構成系爭
02 專利一核准審定時專利法第71條第3款之舉發事由，渠等
03 所據事實及證據俱與本件訴訟相同。N01之「舉發不成立」
04 審定結果業已確定，則根據智慧財產案件審理細則第28
05 條第2項規定，力晶公司自不得於民事訴訟再度爭執上開
06 事由。據此，本件訴訟中關於「審定時專利法第71條第3
07 款」之爭點，其「事實」（亦即此項舉發事由）及證據（
08 亦即「系爭專利一說明書」）與已確定之N01所審酌者概
09 屬同一，自有智慧財產案件審理細則第28條第2項規定之
10 一事不再理之適用。

11 (4)關於上證4，其僅揭示二個電位／二個期間，而未揭示系
12 爭專利一之三個電位／三個期間。根據上證4第15欄第61
13 行及第16欄第6-10行之揭示，上證4之電位 V_{st} 之設定係
14 用於使得對應於待程式化之單元電晶體之選擇閘電晶體接
15 通，且使得對應於非程式化的單元電晶體之選擇閘電晶體
16 斷開。故 V_{st} 顯然不同於系爭專利第二期間之第二電位（
17 V_{SG2} ）。同系爭專利一，上證4從未依「升壓」或「穩壓」
18 來區分期間。力晶公司以從未出現於系爭專利一及上證
19 4之用語「穩壓」強行將上證4之同一期間之同一電位（
20 V_{cc} 或 V_{st} ）分割為二個期間之二個電位。

21 (5)系爭專利一是於LOCOS（矽局部氧化）製程技術變遷至ST
22 I（淺溝槽隔離）製程技術之極大製程變化的時期所研發
23 之發明。當系爭專利一之發明提出時，選擇閘電晶體之長
24 度以及字元線與選擇閘線間的耦合效應係首次成為重要議
25 題。在此之前，從未有人提出過上述事實（上證4亦然）
26 。系爭專利一圖4之先前技術或上證4均未提及或考慮相

01 鄰單元單位間之電容耦合，因為當時無法預見未來記憶體
02 裝置之技術創新。因此，單元單位間之電容耦合導致非選
03 擇記憶單元通道電位降低問題，在當時並非通常知識。故
04 上證4 無法解決系爭專利一所欲解決之問題。再者，上
05 證4 之內文完全沒有提及字元線與選擇閘線間的電容耦合
06 （力晶公司設定之 V_c ）。顯然，上證4 與力晶公司所強調
07 之系爭專利一之發明目的毫無關連。

08 (6)上證4 與系爭專利一圖4 為同一專利家族，且其均僅揭示
09 二個電位／二個期間，而非系爭專利一之三個電位／三個
10 期間。由於上證4 與系爭專利一所承認之先前技術（圖4
11 ）無法預期系爭專利一所欲解決之問題，上證4 當然無法
12 克服系爭專利一圖4 之問題。

13 (7)上證4 之非揮發性半導體記憶體與上證17及18之可程式化
14 之運算放大器毫無關聯。故本領域具通常知識者不會有動
15 機於參照上證4 圖15時運用上證17及18；此外，上證17及
16 18改善slew rate 之技術手段（亦即，增加額外的輸入電
17 晶體對）完全無法運用於上證4 中，力晶公司之主張毫無
18 可採。

19 (8)綜上，系爭專利一請求項1 、3 、5 、6 符合90年專利法
20 第71條第3 款之規定；且上證4 、17、18、上證4 與系爭
21 專利一自承先前技術（圖4 ）之組合均無法影響系爭專利
22 一之有效性。

23 2.系爭專利二請求項7、13、15、17及18具新穎性及進步性：

24 (1)被證8 （含其相關聯證據被證8-1 至被證8-5 ）、被證14
25 （含被證4 、被證10及其相關聯證據被證14-1）皆無法證
26 明系爭專利二請求項7 、13、15、17及18不具新穎性及進

步性：

①被證8 為不適格之證據：

被證8 第1 頁所載日期「2001年7 月5 日」係記載於「
撰寫日期 (Draft Date)」欄內，故僅能判斷被證8 於
2001年7 月5 日撰寫，無法得知何時公開，更無法證明
其公開日期早於系爭專利二之優先權日。此外，被證8
右下角標示「機密 (CONFIDENTIAL)」且右上角標示「
預先 (Advance)」。「Advance 」係指產品在開發階
段，而尚在開發階段之產品規格書應無理由公布給一般
大眾知悉，註記「Advance 」之產品規格書應僅給特定
客戶參考，而非公開給不特定多數人閱覽。被證8-1 已
可證明根據Samsung 公司網站，被證8 號之K9F1G08Q0M
、K9F1G08U0M產品在2001年12月11日仍尚未設計完成，
更不可能公開其產品規格書。因此，被證8-3 於2001年
9 月10日發布之新聞報導僅為商業宣傳，而非被證8 號
之K9F1G08Q0M、K9F1G08U0M產品之實際供貨時間。另被
證8-4 段落已明確記載K9F1G0 8U0M-YCB0 1為「未來」
裝置 (「future」K9F1G08U0M-Y CB0 1 Gbit device)
，故被證8-4 根本無法證明被證8 之K9F1G08U0M產品及
其產品規格書於被證8-4 申請日前已公開。被證8 及被
證8-5 兩相同版本之規格書 (皆為第0.0 版之產品規格
書)，然而確存在不同註記 (被證8 具有「CONFIDENTI
AL」之註記，而被證8-5 則沒有此一註記)。先不論力
晶公司是否涉及變造文書之情事，由於被證8-5 第1 頁
所載日期「2001年7 月5 日」記載於「撰寫日期 (Draf
t Date)」欄內，故僅能判斷被證8-5 於2001年7 月5

日撰寫，無法證明其公開日期早於系爭專利二之優先權日。此外，被證8-5 右上角仍標示「預先 (Advance)」。如上所述，「Advance 」係指產品在開發階段，而尚在開發階段之產品規格書應無理由公布給一般大眾知悉。是以，被證8-5 仍無法作為系爭專利二之先前技術。故，被證8 （包括被證8-1 至被證8-5 ）不可作為系爭專利二之先前技術。

②被證14為不適格之證據：

被證14為K9K2G08Q0M等產品規格書第1.4 版、被證4 為相同型號之產品規格書第1.7 版。被證14之撰寫日期（2003年8 月5 日）及被證4 之撰寫日期（2004年5 月19 日）皆晚於系爭專利二之優先權日。由被證14第1 頁所載關於第0.0 版之日期「2001年8 月30日」係記載於「撰寫日期 (Draft Date)」欄內，故僅能判斷被證14相同型號之產品規格書第0.0 版於2001年8 月30日撰寫，無法得知其何時公開，更無法證明其公開日期早於系爭專利二之優先權日。此外，被證14在其相同型號之產品規格書第0.0 版的註記處 (remark) 標示「預先 (Advance)」。如上所述，「Advance 」係指產品在開發階段，而尚在開發階段之產品規格書應無理由公布給一般大眾知悉，故被證14相同型號之產品規格書第0.0 版不可作為系爭專利二之先前技術。且被證10之新聞報導中三星電子公司所發送的僅為「工程樣品 (engineering sample)」，並非「不特定多數人」所能取得或知悉。再者，力晶公司亦無法證明被證10及被證14-1（被證10之時光回溯器保存之網頁）之新聞報導中之「工程樣品

01 』即是指被證14之規格書之產品，更無法證明被證14之
02 規格書於第0.0 版或第0.1 版時即已能為公眾得知。故
03 被證14（含被證4 、被證10及被證14-1）具證據能力而
04 為適格之證據，自無法依據被證14而主張系爭專利二不
05 具新穎性及進步性。

06 (2)上證5 號、被證15號、被證2 號、被證3 號皆無法證明系
07 爭專利二請求項7 、13、15、17、18不具新穎性、進步性
08 ：

09 ①被證2 、被證3 、被證15及上證5 僅揭示「一個完整寫
10 入動作」，其與系爭專利二請求項7 、13所載之「連續
11 進行之第一動作及第二動作」大相逕庭：

12 被證3 明確揭示記憶體晶胞陣列200a及200b係同時寫入
13 ，故僅需要一個寫入命令。被證2 圖10所揭之PB-2-2-k
14 及PB6-5-0 寫入動作僅為一個完整的寫入動作，並非如
15 力晶公司所主張之二個連續執行之完整寫入動作。被證
16 2 所載之一個完整的寫入動作與系爭專利二請求項7 （
17 及請求項13）所請之「連續進行的第一動作與第二動作
18 」大相逕庭。此外，被證2 第3 欄第39—42行指出「各
19 子區塊之頁緩衝器響應選定之一字線，暫時儲存在一時
20 間被寫至記憶體陣列晶胞的資料位元」，由於連接於同
21 一字線之記憶體晶胞係同時被寫入，因此頁緩衝器102
22 所儲存之資料位元係為一次寫入動作之資料位元。亦即
23 ，根據被證2 本身之描述，被證2 圖1 或圖10所揭示者
24 僅為一個完整的寫入動作。而上證5 之「一個完整寫入
25 動作」係由Plane 0 之輸入命令80h 開始（上圖標示A
26 處），直到Plane 3 之執行實頁寫入命令10h 以完成資

料寫入。換言之，由於上證5 圖9 之Plane 0 ～Plane 3 的多平面頁寫入僅輸入一個資料寫入命令（10h），故僅能視為一個寫入動作。因此，上證5 所載之一個完整的寫入動作與系爭專利二請求項7（及請求項13）所請之「連續進行的第一動作與第二動作」大相逕庭。相似地，上證5 第30頁圖13之Plane 0 ～Plane 3 之擦除動作僅為一個擦除動作。再者，根據前揭所載，「一個完整寫入動作」之定義為始於資料輸入，直至輸入一個資料寫入命令以完成該資料寫入動作。因此，被證15圖61之完整寫入動作應始於步驟S63（擷取寫入資料），直至步驟S66（寫入標定區段）。亦即，被證15圖61之一個完整寫入操作應包含步驟S63 至S66。因此，被證15圖61僅具有一個完整寫入動作，而不具有如系爭專利二請求項7（及請求項13）所請之「連續進行的第一動作與第二動作」。

②由於被證2、被證3、被證15及上證5 並未揭露系爭專利二請求項7、13所載之「連續進行之第一動作及第二動作」，故被證2、被證3、被證15及上證5 無法達成系爭專利二請求項7 及13之發明目的：

系爭專利二說明書係記載「『本發明』之第一／第二／第三目的」，而非記載「本實施例之第一／第二／第三目的」。根據一發明一專利之基本概念，系爭專利二所載之實施例應皆涵蓋於「本發明」之範圍，其所支持之請求項當然可達成系爭專利二說明書所載之「本發明之第一／第二／第三目的」。參考系爭專利二圖8，其中「第一完整寫入動作」之「資料寫入動作」與「第二完

整寫入動作」之「資料輸入動作」可同時執行。此與本發明之第二目的所使用之技術手段「提供一種半導體記憶體電路，其係可於資料寫入動作中並列進行寫入資料輸入」相同，故當可達成本發明之第二目的之功效「可縮短整個資料寫入程序所需時間，可實現具有快速資料寫入功能之半導體記憶電路」。由於被證2、被證3、被證15及上證5 僅揭露「一個完整寫入動作」，故被證2、被證3、被證15及上證5 不可能揭露系爭專利二請求項7、13所載之「連續進行之第一動作及第二動作」。因此，被證2、被證3、被證15及上證5 無法達成「連續進行之第一動作及第二動作」所達成之功效，即「於資料寫入動作中並列進行寫入資料輸入，可縮短整個資料寫入程序所需時間，可實現具有快速資料寫入功能之半導體記憶電路」。

③又系爭專利二請求項15、17、18為請求項13之附屬項，同上所述，上證5 號、被證15號、被證2 號、被證3 號皆無法證明系爭專利二請求項15、17、18不具新穎性、進步性。

(三)專利侵權部分：

1.系爭產品一、二、三落入系爭專利一請求項1、3、5、6之文義範圍：

(1)系爭專利一之說明書中記載十一個實施例。除了第1 例，系爭專利一請求項1 可涵蓋其他實施例，例如第8 例及第10例。由圖16及圖18可知，無論是第8 例之態樣或是第10例之態樣，「寫入操作係在連續的第一、第二及第三期間進行」，且第一、第二及第三期間的選擇閘電晶體的閘極

01 電位 (SGD) 分別為第一電位 (VSG1)、第二電位 (VSG2
02)、及第三電位 (VSG3) 時，第一電位 (VSG1) > 第三電
03 位 (VSG3) > 第二電位 (VSG2) 之關係成立。亦即，系爭
04 專利一請求項1 的範圍，不僅可涵蓋第8 例的態樣，亦可
05 涵蓋第10例的態樣，且可涵蓋將第10例應用至第8 例的態
06 樣；而系爭產品一至三的實施方式係對應前述將第10例應
07 用至第8 例的態樣。以系爭產品一為例，依據原證26之分
08 析，系爭產品一的實施方式係對應於前述將第10例應用至
09 第8 例的態樣，系爭產品一之非選擇位元線 (BL_E) 和選
10 擇位元線 (BL_O) 首先於第一期間 (紅色區段) 均設定為
11 約2.5V；接著於第二期間 (黃色區段) 非選擇位元線 (BL
12 _E) 維持約2.5V，但選擇位元線 (BL_O) 落至0V (亦即感
13 測放大器的資料被轉移到位元線)；隨後，在第三期間 (綠
14 色區段)，選擇位元線 (BL_O) 維持0V，而選擇字元線
15 施加V_{pgm}。其中選擇閘電晶體 (SGD) 閘極電位於第一期
16 間之第一電位為4.5V、於第二期間之第二電位為0V、且於
17 第三期間之第三電位為2.1V；因此，系爭產品一之寫入操
18 作期間，第一電位 (4.5V) > 第三電位 (2.1V) > 第二電
19 位 (0V) 的關係成立。同樣地，如原證28及原證30所示，
20 系爭產品二及三亦同。顯然，系爭產品一、二、三落入系
21 爭專利一請求項1 之文義範圍。

- 22 (2)若採「寫入操作之起始為位元線改變位準」之解釋，則系
23 爭產品一與系爭專利一的唯一差異僅在於：「系爭專利一
24 在第一期間將位元線升壓」而「系爭產品一在第一期間之
25 前將位元線升壓」；然而，該差異對記憶體的寫入而言並
26 無不同，且該差異為該發明所屬技術領域中具有通常知識

者所能輕易完成。縱使考量該差異，系爭產品一與系爭專利一之「技術手段」、「功能」、「結果」均實質相同，系爭產品一至少落入系爭專利一所主張請求項之均等範圍。是以，縱使採「寫入操作之起始為位元線改變位準」之解釋，系爭產品至少落入系爭專利一所主張請求項之均等範圍；上證4、17、18與系爭產品一、二、三所實施之方式無涉，故無「先前技術阻卻」無法適用。

- (3)關於上證4，其僅揭示二個期間／二個電位，明顯不同於系爭產品之三個期間／三個電位，上證4與系爭產品之實施方式不同，力晶公司依據上證4之先前技術阻卻主張顯然無法成立。至於上證17及18之技術領域與系爭產品之技術領域無關，上證17及18所揭示「運算放大器」之改善係屬於線性積體電路範疇；而系爭產品及系爭專利一請求項所請標的為「非揮發性半導體記憶體」係屬於數位積體電路範疇。顯然，上證17及18所屬之線性積體電路範疇不同於系爭產品及系爭專利一所屬之數位積體電路範疇，故上證17及18與系爭產品之技術領域無關，且力晶公司無法證明系爭產品電路圖中之電源電路中之三角形係為上證17及18中所揭示之運算放大器運用。因此，力晶公司無法證明上證17及18與系爭產品有何關聯。即便系爭產品電路圖中之電源電路中之三角形為運算放大器之運用（鎧俠公司否認之），系爭產品並未實施上證17及18所揭示之技術手段。綜上，上證4、17、18與系爭產品一、二、三所實施之方式無涉，無先前技術阻卻無法適用，系爭產品一至三與系爭專利一之「技術手段」、「功能」、「結果」並無實質差異。故，系爭產品一至三至少落入系爭專利一所主張

請求項之均等範圍。

2.系爭產品一、二、三落入系爭專利二之文義範圍：

(1)系爭產品一落入系爭專利二請求項7、13、15、17及18之文義範圍：

①系爭產品一落入系爭專利二請求項7之文義範圍：

系爭產品一具有請求項7之標的「一種半導體積體電路」，根據「系爭產品一」之產品規格書，其簡介128M×8bit／64M×16bit反及型快閃記憶體（NAND Flash Memory），且於其第6、7及8頁說明積體電路之功能區塊示圖。因此，系爭產品一當然係關於一半導體積體電路。系爭產品一之「控制電路」必定判定前一動作之結果，並輸出成功／失敗信號。亦即，「控制電路」對應於「系爭專利二」之請求項7之特徵之「成功／失敗判定電路」。再者，系爭產品一具有請求項7之特徵「成功／失敗保留電路，其係連結為接收上述成功／失敗信號，用以分別保留上述連續進行之第一動作及第二動作之各個成功／失敗結果」。且系爭產品一具有請求項7之特徵「輸出電路，其係配置成於前述第一動作及第二動作連續執行時，輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」。是以，系爭產品一落入系爭專利二請求項7之文義範圍。

②系爭產品一落入系爭專利二請求項13之文義範圍：

系爭產品一具有請求項13之標的「一種半導體積體電路之操作方法」根據「系爭產品一」之產品規格書，其簡介128M×8bit／64M×16bit NAND Flash Memory，且

於其之第6、7及8頁說明積體電路之功能區塊示圖。
系爭產品一當然係關於一半導體積體電路之操作方法，
系爭產品一具有請求項13之特徵「連續執行第一動作與
第二動作」。且系爭產品一具有請求項13之特徵「上述
第一動作結束後，於內部保留其動作之成功／失敗結果
」、「上述第二動作結束後，於內部保留其動作之成功
／失敗結果」、「上述第一及上述第二動作結束後，將
上述第一動作之成功／失敗結果與前述第二動作之成功
／失敗結果皆輸出至半導體積體電路之外部」。是以，
系爭產品一落入系爭專利二請求項13之文義範圍。

③系爭產品一落入系爭專利二請求項15之文義範圍：
請求項15依附請求項13，與請求項13具有相同之標的。
同前揭所述，系爭產品一具有請求項15之標的。系爭產
品一具有請求項13之特徵「其中上述第一、第二動作均
係資料寫入動作」。是以，系爭產品一落入系爭專利二
請求項15之文義範圍。

④系爭產品一落入系爭專利二請求項17之文義範圍：
請求項17依附請求項13，故與請求項13具有相同之標的
。同前揭所述，系爭產品一具有請求項17之標的。系爭
產品一具有請求項17之特徵「其中上述第一、第二動作
係於具有包含非揮發性記憶體單元之記憶體單元陣列的
非揮發性半導體儲存電路執行」。是以，系爭產品一落
入系爭專利二請求項17之文義範圍。

⑤系爭產品一落入系爭專利二請求項18之文義範圍：
請求項18間接依附請求項13，故與請求項13具有相同之
標的。同前揭所述，系爭產品一具有請求項18之標的。

系爭產品一具有請求項17之特徵「其中上述記憶體單元陣列包含配置成行列狀之數個NAND型單元」。是以，系爭產品一落入系爭專利二請求項18之文義範圍。

(2)系爭產品二落入系爭專利二請求項7、13、15、17及18之文義範圍：

系爭產品二與系爭產品一具有類似之技術特徵，且其侵害系爭專利二請求項7、13、15、17及18之特徵皆與系爭產品一相同，故系爭產品二落入系爭專利二請求項7、13、15、17及18之文義範圍。

(3)系爭產品三落入系爭專利二請求項7、13、15、17及18之文義範圍：

系爭產品三與系爭產品一具有類似之技術特徵，且其侵害系爭專利二請求項7、13、15、17及18之特徵皆與系爭產品一相同，故系爭產品三落入系爭專利二請求項7、13、15、17及18之文義範圍。

二、力晶公司、黃崇仁、力積公司、瑄譽公司、智旺公司等抗辯則以：

(一)系爭專利一、二有法定應撤銷事由：

1.上證4號（系爭專利自承先前技術併參）可以證明系爭專利一請求項1、3、5、6不具進步性：

(1)上證4號（系爭專利自承先前技術併參）可以證明系爭專利一請求項1不具進步性：

上證4號已對應揭露系爭專利一請求項1第一期間之對應電位（8V），以及第二期間之對應電位（可降至例如2V，其目的在於使選擇閘電晶體ST1之關閉更為確實），以及第三期間之對應電位（例如電源電壓3.3V，其目的在於使

01 連接選擇位元線之選擇閘電晶體成為接通狀態，連接非選
02 擇位元線之選擇閘電晶體關閉，以進程式規劃）。並且
03 ，與系爭專利一之發明目的相比，上證4 號在字元線WL2
04 電位由 $V_{pre}+V_{thcell}$ （8V）上昇至寫入電壓 V_{pgm18V} 之通
05 道升壓期間，其選擇閘線SSL 之電位即可刻意選擇從 V_{pre}
06 $+V_{thssl}$ 之8V降為低於電源電壓 V_{cc} （3.3V）之 V_{st} （2V
07 ），其目的即在確保選擇閘電晶體ST1 之關閉更為確實，
08 以達成避免產生漏電流而引起寫抑制電位降低所生之寫錯
09 誤，相對於系爭專利一圖4 所自承先前技術於升壓期間之
10 選擇閘電晶體電位僅從VSG 降為電源電壓VDD 故有時選擇
11 閘電晶體會從斷開狀態變成接通狀態之問題，上證4 與系
12 爭專利一請求項1 相同，確實均可以改善該先前技術於通
13 道升壓時所產生漏電流而引起寫抑制電位降低所致寫錯誤
14 之問題，且依據上證4 所揭露之技術方案（選擇閘線SSL
15 之電位刻意選擇從 $V_{pre}+V_{thssl}$ 之8V降為 V_{st} 之2V，以確
16 保選擇閘電晶體ST1 之關閉更為確實），即可解決系爭專
17 利一所欲解決之問題並具有相同之功效，則熟習該項技術
18 者依據上證4（系爭專利一自承先前技術併參）上開實施
19 例技術內容之揭露，自可以輕易完成系爭專利一請求項1
20 ，而可證明其不具進步性。

21 (2)上證4 號（系爭專利一自承先前技術併參）可以證明系爭
22 專利一請求項3 不具進步性：

23 請求項3 係依附請求項1，其進一步界定之技術特徵為「
24 其中前述第一期間係將與程式資料相應的電位或不取決於
25 程式資料的一定電位作為起始電位供應到前述至少一個記
26 憶單元之通道之期間者。」，由於該特徵已揭露於系爭專

01 利一自承先前技術（圖4），亦揭露於上證4 號第12圖，
02 同上證4 號（系爭專利一自承先前技術併參）可以證明系
03 爭專利一請求項1 不具進步性之理由，上證4 號（系爭專
04 利一自承先前技術併參）亦可證明系爭專利一請求項3 不
05 具進步性。

06 (3)上證4 號（系爭專利一自承先前技術併參）可以證明系爭
07 專利一請求項5 不具進步性：

08 請求項5 係依附請求項1，其進一步界定之技術特徵為「
09 其中前述第三期間係當前述位元線為第四電位時，將前述
10 第四電位經由前述選擇閘電晶體轉移到前述至少一個記憶
11 單元之通道，而當前述位元線為第五電位時，使前述選擇
12 閘電晶體仍然呈斷開狀態，維持前述至少一個記憶單元的
13 通道電位之期間者。」，由於該特徵已揭露於系爭專利一
14 自承先前技術（圖4），亦揭露於上證4 號第12圖，同上
15 證4 號（系爭專利一自承先前技術併參）可以證明系爭專
16 利一請求項1 不具進步性之理由，上證4 號（系爭專利一
17 自承先前技術併參）亦可證明系爭專利一請求項5 不具進
18 步性。

19 (4)上證4 號（系爭專利一自承先前技術併參）可以證明系爭
20 專利一請求項6 不具進步性：

21 請求項6 係依附請求項1，其進一步界定之技術特徵為「
22 其中前述第二期間係使前述選擇閘電晶體呈斷開狀態之期
23 間者。」，由於該特徵已揭露於上證4 號第12圖，藉由控
24 制選擇閘電晶體電位ST1 從 $V_{pre}+V_{thss1}$ 之8V降為 V_{st} （
25 約2V），使該選擇閘電晶體ST1 呈斷開狀態，同上證4 號
26 （結合系爭專利一自承先前技術）可以證明系爭專利一請

01 求項1 不具進步性之理由，上證4 號（系爭專利一自承先
02 前技術併參）亦可證明系爭專利一請求項6 不具進步性。
03 2.系爭專利一自承先前技術與上證4 號之組合可以證明系爭專
04 利一請求項1 、3 、5 、6 不具進步性：
05 (1)系爭專利一自承先前技術與上證4 號之組合可以證明系爭
06 專利一請求項1不具進步性：
07 針對系爭專利一請求項1 與系爭專利一自承先前技術差異
08 之技術特徵，已揭露於上證4 號圖12及其說明書第16欄，
09 參照上證4 之技術分析，上證4 第12圖已揭露一包含有選
10 擇閘電晶體之NAND記憶體陣列，於字元線WL2 電位由Vpre
11 +Vthcell(8V) 上昇至寫入電壓Vpgm18(V)之通道升壓期
12 間（對應上證4 號第12圖之t3~t4），其選擇閘線SSL 之
13 電位可從Vpre+Vthssl 之8V降至介於接地電位與電源電位
14 之間的Vst （例如為2V）（對應系爭專利一請求項1 之第
15 二電位），更於上證4 號第16欄第6 —10行揭露該降低選
16 擇閘線SSL 電位至Vst 之目的亦在於使得選擇閘電晶體
17 ST1 關閉更為確實，可以避免產生漏電流而引起寫抑制電
18 位降低所生之寫錯誤。上證4 已揭露系爭專利一請求項1
19 所使用之技術手段、並可解決相同之技術問題，具有相同
20 之技術功效，又系爭專利一自承先前技術與上證4 號為相
21 同技術領域，所欲解決之問題實質相同，且功能或作用上
22 具有共通性，且具有相同防止誤寫入之功效，故通常知識
23 者有合理動機組合以輕易完成系爭專利一請求項1 ，而可
24 證明系爭專利一請求項1 不具進步性。
25 (2)系爭專利一自承先前技術與上證4 號之組合可以證明系爭
26 專利一請求項3 不具進步性：

請求項3 係依附請求項1，其進一步界定之技術特徵為「其中前述第一期間係將與程式資料相應的電位或不取決於程式資料的一定電位作為起始電位供應到前述至少一個記憶單元之通道之期間者。」，由於該特徵已揭露於系爭專利一自承先前技術（圖4），亦揭露於上證4 號第12圖，同系爭專利一自承先前技術與上證4 號之組合可以證明系爭專利一請求項1 不具進步性之理由，系爭專利一自承先前技術與上證4 號之組合亦可證明系爭專利一請求項3 不具進步性。

- (3)系爭專利一自承先前技術與上證4 號之組合可以證明系爭專利一請求項5 不具進步性：

請求項5 係依附請求項1，其進一步界定之技術特徵為「其中前述第三期間係當前述位元線為第四電位時，將前述第四電位經由前述選擇閘電晶體轉移到前述至少一個記憶單元之通道，而當前述位元線為第五電位時，使前述選擇閘電晶體仍然呈斷開狀態，維持前述至少一個記憶單元的通道電位之期間者。」，由於該特徵已揭露於系爭專利一自承先前技術（圖4），亦揭露於上證4 號第12圖，同系爭專利一自承先前技術與上證4 號之組合可以證明系爭專利一請求項1 不具進步性之理由，系爭專利一自承先前技術與上證4 號之組合亦可證明系爭專利一請求項5 不具進步性。

- (4)系爭專利一自承先前技術與上證4 號之組合可以證明系爭專利一請求項6 不具進步性：

請求項6 係依附請求項1，其進一步界定之技術特徵為「其中前述第二期間係使前述選擇閘電晶體呈斷開狀態之期

間者。」，由於該特徵已揭露於上證4 號第12圖，藉由控制選擇閘電晶體電位ST1 從 $V_{pre}+V_{thss1}$ 之8V降為 V_{st} （約2V），使該選擇閘電晶體ST1 呈斷開狀態，同系爭專利一自承先前技術與上證4 號之組合可以證明系爭專利一請求項1 不具進步性之理由，系爭專利一自承先前技術與上證4 號之組合亦可證明系爭專利一請求項6 不具進步性。

3. 鎧俠公司關於系爭專利一有效性之主張，主要係以上證4 僅揭露二期間，並未揭露系爭專利一請求項1 之三期間云云，惟查，力晶公司先前已一再主張，如鎧俠公司主張系爭專利一實施例第8 例（圖16）亦應包含在系爭專利一請求項1 之範圍，由於系爭專利一實施例第8 例（圖16）所採取之技術手段，與上證4 號第15圖並無實質差異，功效亦無不同，當不具有進步性。申言之，上證4 號第15圖（系爭產品亦實施此一技術方案）所揭示之高電位及中電位等二電位，該中電位（VCC 或VST）可用以使連接選擇位元線之選擇閘電晶體接通、連接非選擇位元線之選擇閘電晶體維持斷開，以達進行程式規劃之目的，此外此中電位（如採VST）尚可降低至較習知電源電位（VCC）更低，而使電晶體ST1 斷開更為確實，而可改善先前技術於通道升壓時所產生漏電流而引起寫抑制電位降低所致寫錯誤問題。至於上證4 號並無揭露系爭專利一實施例第8 例（圖16）第二期間之第二電位之問題，由於系爭專利一並未提及該第二電位有何技術意義，該等限制條件並無實益，更遑論參照上證17、18號等教科書所揭示之內容可知，「藉由使用附加電路來實現增加 $I_{o1}(sat)$ 使電容達到快速充電和放電，以改善SlewRate、縮短電位變化時間」為所有人於系爭專利一優先權日之前可自由運用之通

常知識，因此，系爭專利一所屬技術領域具有通常知識者，參照上證4 號第15圖所揭示高電位（ $V_{pre}+V_{thss1}$ ）、中電位（ V_{CC} 或 V_{ST} ）之技術方案，簡單運用上證17、18號改善 Slew Rate、縮短電位變化時間之通常知識，從高電位先快速放電至接地電位再快速充電至中電位，當然可以輕易完成系爭專利一實施例第8 例（圖16）之所有技術特徵，而可證明系爭專利一請求項1 不具進步性。

4.系爭專利一說明書中關於「要同時實現這些目的，滿足 $V_{SG1} > V_{SG3} > V_{SG2}$ 的大小關係即可」之敘述顯非正確，系爭專利一請求項1 所請發明之必要技術特徵應將選擇閘電位於各期間限定在特定範圍，方得達成寫入操作於各期間之特定目的，鎧俠公司亦不否認系爭專利一請求項1 之第二電位，尚須進一步界定為「 V_{SG2} 應使全部選擇閘電晶體充分成為斷開狀態」云云，因此，基於系爭專利一說明書錯誤記載之內容（要同時實現這些目的，滿足 $V_{SG1} > V_{SG3} > V_{SG2}$ 的大小關係即可），所屬技術領域具有通常知識者無法正確理解系爭專利一請求項1 所請發明、系爭專利一之說明書未記載何以僅要滿足 $V_{SG1} > V_{SG3} > V_{SG2}$ 的大小關係，即可實現請求項1 所請發明所欲達成之發明目的（即解決字元線升壓期間漏電流問題）的技術手段，因此對於系爭專利一請求項1 所請發明，系爭專利一說明書未記載必要事項，或記載不必要之事項，使其實施為不可能或困難，違反核准審定時專利法第71條第3 款。因此，系爭專利一請求項1 「三期間三電位關係」（範圍過廣之不明確電位結果）之技術意義、區分標準及其所涵蓋之技術態樣之範圍並不明確，故有系爭專利核准審定時之專利法第71條第3 款「說明書或圖式，不載明實施必要之

事項」的事由；而系爭專利一第3、5與6項乃分別依附獨立項第1項之附屬項，自亦有同款之瑕疵，應併予撤銷。

5.系爭專利二請求項7、13、15、17、18不具新穎性、進步性，有法定應撤銷事由：

(1)被證8號（參照其關連性證據被證8-1～被證8-5）以及被證14號（含被證4號、被證10號及其關連性證據被證14-1）分別可以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性：

雖鎧俠公司主張被證8、14號為不適格證據云云，惟被證8號（參照其關連性證據被證8-1～被證8-5）經力晶公司提出補強證據後，應認有證據能力，而其技術內容已揭露系爭專利二請求項7、13、15、17、18之所有技術特徵，可以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性；而被證14號（含被證4號、被證10號及其關連性證據被證14-1）亦可以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性。

(2)上證5號以及被證3號分別可以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性；被證2號（結合系爭專利二自承先前技術）可以證明系爭專利二請求項7、13、15、17、18不具進步性：

①雖鎧俠公司主張被證2、被證3、上證5之各該動作皆為「同時進行」，且僅為「一個完整的寫入動作」，並非如系爭專利二請求項7及13所載之「連續進行」之第一動作及第二動作（連續進行為一個接一個依序進行，開始時間有別）云云，惟上證5號是一種NAND快閃記憶體，揭示一種半導體積體電路（上證5-1號第3頁參照

01)，上證5-1 號第32頁表2 為讀取狀態暫存器的定義，
02 所對應I/O1至~I /O4為Plane 0 ~Plane 3 之寫入/
03 擦除動作的成功/失敗結果，I /O 0 為Plane 0 ~Pl
04 ane 3 寫入/擦除動作之累積的成功/ 失敗結果。上證
05 5-1 號第32頁：「本裝置包含一狀態暫存器可被讀取，
06 而知悉寫入或擦除動作是否完成，及寫入或擦除動作是
07 否成功。在寫入70h 命令至命令暫存器，一讀取週期在
08 CE或RE的下降邊緣（較晚發生者）輸出狀態暫存器的內
09 容至I/O 各接腳。」。上證5-1 號第29頁圖9 顯示連續
10 執行Plane 0 ~Plane 3 的多平面頁寫入動作，第30頁
11 圖13顯示連續執行Plane 0 ~Plane 3 的多平面區塊擦
12 除動作，其中，Plane 0 的完整「寫入動作」係從資料
13 輸入命令80h 開始，其後為虛頁寫入（Dummy Page Pro
14 gram）11h 命令，直至實頁寫入（Pa ge Program ）10
15 h 命令並完成Plane 0 資料寫入後結束，始完成Plane
16 0 的完整「寫入動作」；而Plane 1 的完整「寫入動作
17 」期間係從資料輸入命令80h 開始，其後為虛頁寫入（
18 Dummy Page Program）11h 命令，直至實頁寫入（Page
19 Program ）10h 命令並完成Plane 1 資料寫入後結束，
20 始完成Plane 1 的完整「寫入動作」；Plane 2 、Plan
21 e 3 的完整「寫入動作」亦同。職是，Plane 0 的完整
22 「寫入動作」與Plane 1 的完整「寫入動作」，係「依
23 序進行」而「開始時間有別」且屬繼續不斷、不間斷之
24 二平面頁連續「寫入動作」，屬於數平面頁依序進行的
25 各頁完整「寫入動作」，可以對應系爭專利二「連續進
26 行的第一動作與第二動作」。因此，上證5 號可以證明

系爭專利二請求項7、13、15、17、18不具新穎性、進步性。

②被證2號（結合系爭專利二自承先前技術）揭露一驗證電路103（對應系爭專利二請求項7之成功／失敗判定電路14），用以將對應於記憶體單元之N個頁緩衝器之寫入結果進行個別判斷、一第一鎖存電路105（對應系爭專利二請求項7之成功／失敗保留電路15），用以接收來自驗證電路103之N個判斷結果並加以暫時儲存、以及一輸出電路106（對應系爭專利二請求項7之輸出電路4），用以將N個判斷結果分別輸出至外部，其技術特徵及所欲達成之功效與系爭專利二7、13、15、17、18相同。由於被證2號與系爭專利自承先前技術屬於相同技術領域，其解決驗證結果輸出之問題具有共通性，且均以保存電路暫存驗證結果後輸出，二者之功能或作用具有共通性，通常知識者自具有將二者組合之明顯動機，因此，被證2號組合系爭專利二自承之先前技術可以證明系爭專利二請求項7、13、15、17、18不具進步性。

③系爭專利二請求項7之第一動作與第二動作，至少應總括複數頁之各頁依序進行資料寫入的完整「寫入動作」之技術態樣，而各頁完整之「寫入動作」係指「『資料輸入動作』開始至『資料寫入動作』結束」之完整動作（系爭專利二說明書第17頁第15-24行、圖6、8、36），又數頁資料輸入動作必須依序進行無法同時進行，因此，被證3號之數頁「寫入動作」，必然係第1頁「寫入動作」之輸入動作進行後，再繼續第2頁「寫入動

作」之輸入動作，其後再同時進行「資料寫入動作」，然該第1 頁之完整「寫入動作」與第2 頁之完整「寫入動作」必然呈現開始時間有別之連續寫入狀態，自己符合連續進行第1 頁「寫入動作」（對應第一動作）與第2 頁「寫入動作」（對應第二動作）。原審中間判決因受鎧俠公司之誤導而無法正確理解系爭專利二所界定完整「寫入動作」之期間，逕以被證3 號之二頁實際「資料寫入動作」（僅為完整寫入動作之一部分）係同時開始而欲與請求項7 於形式上相區隔，其比對標準不一致而顯然有誤，亦誤解完整「寫入動作」之期間。據此。被證3 號既已揭露可同時保存複數個驗證結果，並分別輸出至外部以增加晶片外部控制上的便利性，同前所述，自己揭露「連續進行之第一動作及第二動作」之技術特徵。

(3)被證15號可以證明系爭專利二請求項7 、13、17、18不具新穎性、進步性，請求項15不具進步性：

被證15號係揭露一模式控制電路18（對應系爭專利二請求項7 之成功／失敗判定電路14），用以將寫入動作、刪除動作之結果進行個別判斷、一狀態暫存器180（對應系爭專利二請求項7 之成功／失敗保留電路15），用以暫時儲存來自前揭寫入動作、刪除動作之判斷結果、以及一輸出緩衝器15（對應系爭專利二請求項7 之輸出電路4 ），用以將狀態暫存器之各個判斷結果分別輸出至外部。又依據被證15號圖61之揭示，刪除動作（步驟S65 ）與寫入動作（步驟S66 ）係連續進行的兩個動作，而刪除動作（對應第一動作）與寫入動作（對應第二動作）之成功／失敗驗

證結果，於驗證後分別暫時儲存於狀態暫存器180，並可分別於I / 05及I / 04接腳輸出，因此，被證15號已揭露系爭專利二請求項7之所有技術特徵，被證15號可以證明系爭專利二請求項7、13、17、18不具新穎性、進步性，以及請求項15不具進步性。

6. 又被證2、被證3、上證5已揭露輸出複數個寫入動作之成功失敗結果，而一個寫入動作完成後僅會有一個成功失敗結果，因此被證2、被證3、上證5當係揭露「複數個寫入動作」之技術內容，並非如鎧俠公司所主張僅揭示「一個完整寫入動作」之技術內容：鎧俠公司關於「被證2、被證3、上證5之各該動作皆為『同時進行』，且僅為『一個完整的寫入動作』」之主張，係臨訟提出且不當混淆申請專利範圍用語之定義，更與通常知識相衝突，蓋被證2、被證3、上證5之各個寫入動作既具有單獨寫入動作之成功／失敗結果，並可保留後輸出外部，各單獨寫入動作自可對應系爭專利二請求項7、13之第一動作、第二動作。詎鎧俠公司竟曲解具有可輸出各獨立成功／失敗結果之各個寫入動作僅為「一個完整寫入動作」，非但昧於事實，更與通常知識不合，事實上，對於具有各別獨立成功／失敗結果之各個寫入動作，通常知識者當能理解係為經由資料輸入動作至資料寫入動作而完成其各個單獨寫入動作，鎧俠公司將具有可輸出各獨立成功／失敗結果之各個寫入動作解釋為「一個完整寫入動作」顯屬怪謬，更未見於系爭專利說明書，臨訟提出，並無理由。鎧俠公司上開主張，主要導因其對於申請專利範圍用語解釋之混淆，然而「系爭專利請求項7、13並未明確定義何謂『第一動作』或『第二動作』，亦未指明『連續進行』如

何作動」，則鎧俠公司主張被證2、3、上證5未揭露系爭專利之連續進行云云，顯不足採。

7.鎧俠公司雖又主張一個動作需要一個資料寫入命令、而多個完整寫入資料動作需要多個資料寫入命令，並據此推論被證2、被證3、被證15、上證5僅揭露一個完整寫入動作云云，然而，鎧俠公司所辯仍係以外部「命令」不當限制請求項所載之「動作」，增加請求項所無之限制條件，並無理由。且自晶片外部輸入之「命令」與半導體積體電路內部之「動作」並不相同，請求項7、13所界定之連續進行第一動作、第二動作如以各頁完整「寫入動作」為例，亦非僅自晶片外部輸入單一命令即可達成，而需自外部輸入一組命令與資料COM1+Add/ Data+COM2始能達成，因此，於比對第一動作、第二動作時，自無須論究晶片外部輸入「命令」之型態或數目，而應回歸請求項之文義，即比對引證案是否揭露連續進行、且可以輸出獨立成功失敗驗證結果之各個「寫入動作」。被證2、被證3、被證15、上證5既已揭露半導體積體電路內部連續進行、且可以輸出獨立成功失敗驗證結果之各個「寫入動作」，當然已揭露系爭專利二請求項7、13、15、17、18所述之「連續進行第一動作及第二動作」之技術特徵。

(二)專利侵權部分：

1.系爭產品並未落入系爭專利一、二、三請求項1、3、5、6之專利權範圍：

(1)系爭產品一、二、三並未落入系爭專利一請求項1、3、5、6之文義範圍：

系爭產品一至三之寫入操作係在第一期間(T1~T2)之前

即已進行（原證26、27、28），亦即系爭產品一至三之寫入操作並未在連續的第一、第二及第三期間進行，故從系爭產品一至三無法讀取到系爭專利一請求項1 要件1D「寫入操作係在連續的第一、第二及第三期間進行，以前述第一、第二及第三期間的前述選擇閘電晶體的閘極電位分別為第一、第二及第三電位時，第一電位> 第三電位> 第二電位的關係成立者」之特徵，並未落入系爭專利一請求項1、3、5、6之文義範圍，顯然系爭產品一至三並未落入系爭專利一請求項1、3、5、6之文義範圍。

(2)系爭產品一、二、三並未落入系爭專利一請求項1、3、5、6之均等範圍：

系爭產品一至三與系爭專利一請求項1 要件1D實質不相同，並未落入其均等範圍，鎧俠公司主張系爭產品一至三有落入系爭專利一請求項1、3、5、6之均等範圍，然其關於「均等論」之主張，曲解事實，亦悖於專利侵權判斷要點。再者，系爭產品並未採取系爭專利一請求項1 要件1D「寫入操作係在連續的第一、第二及第三期間進行，以前述第一、第二及第三期間的前述選擇閘電晶體的閘極電位分別為第一、第二及第三電位時，第一電位> 第三電位> 第二電位的關係成立者」實質相同之技術手段，不具有相同之功能，無法達成相同之結果，自未落入系爭專利一請求項1之均等範圍，系爭產品既未落入請求項1之均等範圍，自未落入系爭專利一請求項3、5、6之均等範圍。

(3)系爭專利一請求項1 不應涵蓋無法達成系爭專利一發明目的之實施例（圖16），如鎧俠公司仍堅稱可藉由均等論之

方式擴張其範圍至該實施例（圖16），則本件系爭產品一至三應有先前技術阻卻之適用，系爭專利一第8 實施例（圖16）實質上採取之技術手段，係在第三期間同時具有字元線升壓及穩壓階段，而在第三期間給予選擇閘線一較低之第三電位，該第三電位可以在字元線升壓期間，避免電容耦合導致選擇閘電晶體SGD 誤打開而產生漏電流；同時，該第三電位可以使得連接選擇位元線之選擇閘電晶體接通、連接非選擇位元線之選擇閘電晶體維持斷開，以進行程式規劃。至於系爭專利一第8 實施例（圖16）之第二期間，並無任何實質技術意義，系爭專利一說明書完全無任何之補充或說明。然而，上開系爭專利一第8 實施例（圖16）第三期間所採取之技術手段，顯然為公知先前技術，例如上證4 號第15圖，其 $t_{21} \sim t_5$ 期間對應系爭專利一第8 實施例（圖16）之第三期間，同樣具有字元線升壓及穩壓階段，而該期間選擇閘線除設定為習知 V_{CC} 外，亦可刻意降低至 V_{st} 使選擇閘電晶體關閉更為確實而避免寫錯誤（上證4 號第16欄第6-10行），而該等電位使得連接選擇位元線之選擇閘電晶體接通、連接非選擇位元線之選擇閘電晶體維持斷開，而可進行程式規劃，故系爭專利一第8 實施例（圖16）第三期間所採取之技術手段與上證4 號第15圖之先前技術相同。而系爭產品一至三之第三期間（原證26號第14頁、原證28號第15頁、原證30號第14頁），同樣具有字元線升壓及穩壓階段，其電位亦係使得連接選擇位元線之選擇閘電晶體接通、連接非選擇位元線之選擇閘電晶體維持斷開，而可進行程式規劃。故系爭產品一至三之第三期間顯然係實施上證4 號第15圖之先前技術。由於

系爭專利一第8 實施例（圖16）之第二期間，並無任何實質技術意義，倘系爭專利一請求項1 可藉由均等論之方式擴張涵蓋至系爭專利一第8 實施例（圖16）第三期間之態樣（力晶公司仍否認），然該擴大後之範圍顯然為上證4 號第15圖之公知技術，以及通常知識（如第二期間並非通道升壓期間，故可為任何電位）之簡單組合，故系爭產品一至三當可適用先前技術阻卻，不構成均等侵權。更遑論如前所述，系爭產品之第二期間，其目的係使用上證17、18號所教示電位變化時間縮短之通常知識，而該技術說明係由力晶公司首次提出，而可凸顯系爭專利一說明書並未能敘明圖16之第二期間有何實質技術意義或發明目的，而系爭產品一至三確係使用上證4 號第15圖之先前技術並簡單組合例如上證17、18號之通常知識而可主張先前技術阻卻。然東芝公司辯稱上證17、18號所揭示藉由「運算放大器」的Io1(sat) 以「改善slew rate（迴轉率）」之技術手段與系爭專利一「防止寫抑制電位降低」之技術內容無關云云，甚至當庭表示系爭產品電路圖上所標示電源電路係使用運算放大器中的三角形元件符號，並非運算放大器，故系爭產品與上證17、18之運算放大器無關云云，顯然悖於通常知識者對於電子元件符號之基本認知，更可凸顯系爭專利一請求項1 所載不妥而有應撤銷事由，鎰俠公司主張系爭產品落入系爭專利一圖16電位波形之不當且有先前技術阻卻之適用。

2.系爭產品並未落入系爭專利二請求項7 、13、15、17、18之範圍：

(1)系爭產品一並未落入系爭專利二請求項7 、13、15、17、

18之文義範圍：

參照原證16系爭產品一之產品規格書第27頁可知，鎧俠公司所主張侵權之快取寫入（cache program）波形圖，其進行每一頁「快取寫入（cache program）」（對應命令15h）之完整動作後，例如於時間①下讀取狀態命令70h，無論IO／0 或IO／1，均僅能讀取到該前一頁「寫入動作」之成功／失敗結果；而進行最末頁「頁寫入（page program）」（對應命令10h）之完整動作後，在例如時間②下讀取狀態命令70h，其IO／0 僅能讀取到該最末頁（第N 頁）之成功／失敗結果，IO／1 在「頁寫入（page program）」（對應命令10h），並無資料輸出（Not Use），亦即，系爭產品一於原證16第27頁之快取寫入（cache program）模式中，僅能輸出其寫入完成之前一頁成功／失敗結果，並無法同時讀取到連續進行兩頁完整「寫入動作」之成功／失敗結果，自無法文義讀取請求項7「輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」之技術特徵7D，因此系爭產品一並未落入系爭專利二請求項7、13、15、17、18之文義範圍。

(2)系爭產品二、三並未落入系爭專利二請求項7、13、15、17、18之文義範圍：

參照原證17系爭產品二之產品規格書第44頁（以及原證18系爭產品三產品規格書第44頁）可知，鎧俠公司所主張侵權之快取寫入（cache program）模式（第31圖），其係藉由輸入讀取狀態指令70h 來讀取I／00以獲取成功／失敗結果，而參照對應於原證17系爭產品二之產品規格書第

48頁（以及原證18系爭產品三產品規格書第48頁）關於第70h 指令之定義表（表5），可以發現表5 並無輸出二成功／失敗結果之接腳定義，無法文義讀取系爭專利二請求項7 「輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」之技術特徵7D。縱以原證17號系爭產品二產品規格書第57頁（以及原證18號系爭產品三產品規格書第57頁）之兩平面快取寫入（two-plane cache program）模式之時間波形圖（第43圖），配合第48頁表6 之F1h 指令定義表，亦可發現鎧俠公司所主張以F1h 指令所讀取到之I /01及I /03之結果，並非連續進行之二頁寫入動作之成功／失敗結果，系爭產品二、三並無法輸出連續寫入二頁之各個成功／失敗結果，並未文義讀取請求項7 之技術特徵7D。甚且，鎧俠公司所主張以F1h 指令所讀取到之I /01及I /03之結果，僅係第3 頁及第1 頁之成功／失敗結果，該第1 頁及第3 頁之完整寫入動作並非連續進行之二頁寫入動作，其中尚間隔有第2 頁之寫入動作，因此，鎧俠公司所主張以F1h 指令所讀取到之I /01及I /03之結果，並非連續進行二頁寫入動作之成功失敗結果，並不符合系爭專利二請求項7 「於前述第一動作及第二動作連續執行時，輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」之技術特徵7D。因此系爭產品二、三並未落入系爭專利二請求項7 、13、15、17、18之文義範圍。

三、原審為鎧俠公司部分勝訴之判決，兩造除智旺公司外，分別就其敗訴部分提起上訴，鎧俠公司上訴聲明為：(一)原判決關於駁回鎧俠公司對智旺公司排除侵害暨防止侵害之請求部分

01 廢棄。(二)前開廢棄部分，智旺公司不得製造、為販賣之要約
02 、販賣、使用或進口力積公司如附表1 編號2 至4 號所示型
03 號之NAND Flash Memory 產品及其他一切侵害系爭專利一或
04 系爭專利二發明專利之產品。(三)上訴費用由被上訴人負擔。
05 智旺公司答辯聲明則為：(一)上訴駁回。(二)第二審訴訟費用由
06 鎧俠公司負擔。力晶公司、黃崇仁、力積公司、瑄譽公司等
07 上訴聲明為：(一)原判決不利於力晶公司、黃崇仁、力積公司
08 、瑄譽公司等部分廢棄。(二)前項廢棄部分，鎧俠公司於第一
09 審之訴及假執行之聲請均駁回。(三)第一、二審訴訟費用由鎧
10 俠公司負擔。(四)如受不利判決，力晶公司、黃崇仁、力積公
11 司、瑄譽公司等願供擔保，請准宣告免為假執行。鎧俠公司
12 答辯聲明為：(一)力晶公司、力積公司、瑄譽公司及黃崇仁之
13 上訴均駁回。(二)第二審訴訟費用由力晶公司、力積公司、瑄
14 譽公司及黃崇仁等負擔，另鎧俠公司未就A5U12A31ATS-BC產
15 品上訴，則此部分並未上訴，非本次審理範圍，併此敘明。

16 四、兩造不爭執事項（見本院卷二第563 至567 頁）：

17 (一)鎧俠公司為中華民國證書號第154717號「非揮發性半導體記
18 憶體」發明專利（即系爭專利一），及中華民國證書號第
19 I238412 號「半導體積體電路」發明專利（即系爭專利二）
20 之專利權人。

21 (二)A5U1GA31ATS —BC（即系爭產品一）、A5U2GA31BTS —BC（
22 即系爭產品二）、A5U4GA31ATS —BC（即系爭產品三）均係
23 力積公司委託力晶公司代工生產晶圓，力積公司再將該等晶
24 圓自行或委外切割為晶粒，並委外進行封裝、測試後對外銷
25 售。

26 (三)瑄譽公司係力積公司之代理商，力積公司型號為A5U1GA31AT

01 S-BC、A5U2GA31BTS-BC、A5U4GA31ATS-BC等三項產品（分別
02 即系爭產品一、二、三），係瑄譽公司經銷之部分產品，並
03 係東芝公司透過京華商信事業有限公司向瑄譽公司購得。

04 (四)力晶公司、黃崇仁、力積公司、智旺公司、瑄譽公司對於鎧
05 俠公司提出系爭產品一、二、三規格書（原證16、17、18）
06 之真正不爭執（見原審卷二第219 頁）。

07 (五)系爭專利二業經第三人陳嘉凌提起舉發（000000000N01號）
08 ，經濟部智慧財產局（下稱智慧局）於105 年12月26日作成
09 「請求項7 、13、15、17至18舉發成立，應予撤銷」之審定
10 ，鎧俠公司提起訴願，經濟部訴願委員會於106 年9 月27日
11 作成「訴願駁回」之審定，鎧俠公司提起行政訴訟於本院繫
12 屬中（案號：106 年行專訴字第90號，股別：平股），業經
13 言詞辯論終結，已於107 年8 月2 日宣判，作成「原告之訴
14 駁回，訴訟費用由原告負擔」之判決，尚未確定。

15 (六)系爭產品一之規格書第31頁（參原審起訴狀原證16號）所示
16 Maker Code（製造者編碼）為92h 。

17 (七)由JEDEC STANDARD之「Standard Manufacturer's Identifi
18 cation Code 」（參原審起訴狀原證21號）可知，共有8 家
19 廠商共用「92」作為Maker Code，其中僅有「PowerFlash
20 Semiconductor 》，亦即智旺公司，係以從事NAND Flash
21 Memory之製造為主要業務。

22 (八)智旺公司於其公司網頁（參原審起訴狀原證23號及原證24號
23 ）中標榜「董事長黃崇仁博士亦為力晶科技（股）公司的董
24 事長。智旺科技在力晶集團龐大的資源支持下，具有得天獨
25 厚的研發生產優勢。智旺主要經營團隊由國內專精Flash
26 memory的研發技術與產業行銷人才組成，以創新開放的經營

01 模式引入日本瑞薩科技株式會社的Data Flash研發能量，加
02 速產品開發，挾力晶科技公司12吋晶圓廠產能的支援，2009
03 年，智旺科技推出國內第一顆自主研發量產的NAND Flash
04 IC。NAND新產品的開發會朝低密度利基型市場發展，例如行
05 動通訊NAND。2010年50奈米1Gb 產品將進入量產，產品規格
06 和技術具世界大廠標準」等語。

07 (九)黃崇仁於101 年11月11日前係力晶公司之董事長，於同月12
08 日卸任董事長後仍續任董事並擔任執行長。

09 五、本件兩造中間爭點（見本院卷二第577 至581 頁）

10 (一)專利有效性部分；

11 1.上證4 號（系爭專利一自承先前技術併參）是否可以證明系
12 爭專利一請求項1 、3 、5 、6 不具進步性？

13 2.系爭專利一自承先前技術與上證4 號之組合是否可以證明系
14 爭專利一請求項1 、3 、5 、6 不具進步性？

15 3.系爭專利一請求項1 、3 、5 、6 是否違反90年專利法第71
16 條第3 款之規定？

17 4.被證8 號（參照其關連性證據被證8-1 ～被證8-5 ）是否可
18 以證明系爭專利二請求項7 、13、15、17、18不具新穎性、
19 進步性？

20 5.被證14號（含被證4 號、被證10號及其關連性證據被證14-1
21 ）是否可以證明系爭專利二請求項7 、13、15、17、18不具
22 新穎性、進步性？

23 6.上證5 號是否可以證明系爭專利二請求項7 、13、15、17、
24 18不具新穎性、進步性？

25 7.被證15號是否可以證明系爭專利二請求項7 、13、17、18不
26 具新穎性、進步性？是否可以證明系爭專利二請求項15不具

進步性？

8.被證2 號（結合系爭專利二自承先前技術）是否可以證明系爭專利二請求項7、13、15、17、18不具進步性？

9.被證3 號是否可以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性？

(二)專利侵權部分（包括文義侵權、均等侵權）：

1.系爭產品一是否落入系爭專利一請求項1、3、5、6之專利權範圍？

2.系爭產品二是否落入系爭專利一請求項1、3、5、6之專利權範圍？

3.系爭產品三是否落入系爭專利一請求項1、3、5、6之專利權範圍？

4.系爭產品一是否落入系爭專利二請求項7、13、15、17、18之專利權範圍？

5.系爭產品二是否落入系爭專利二請求項7、13、15、17、18之專利權範圍？

6.系爭產品三是否落入系爭專利二請求項7、13、15、17、18之專利權範圍？

六、得心證之理由：

(一)按當事人主張或抗辯智慧財產權有應撤銷、廢止之原因者，法院應就其主張或抗辯有無理由自為判斷，不適用民事訴訟法、行政訴訟法、商標法、專利法、植物品種及種苗法或其他法律有關停止訴訟程序之規定。前項情形，法院認為有撤銷、廢止之原因時，智慧財產權人於該民事訴訟中不得對於他造主張權利，智慧財產案件審理法第16條定有明文。本件力晶公司等抗辯系爭專利一、二有得撤銷之事由，本院應就

01 系爭專利有無得撤銷之事由自為判斷。查系爭專利一申請日
02 為90年5月10日（優先權日89年5月22日），智慧局於91年
03 4月3日審定准予專利，並於91年5月1日公告，故系爭專
04 利一是否有得撤銷專利權之情事，應以核准審定時所適用之
05 90年10月24日修正公布、91年1月1日施行之專利法（下稱
06 90年專利法）論斷（本院原審中間判決認應依83年1月21日
07 公布施行之專利法顯有誤會）；系爭專利二申請日為91年12
08 月3日（優先權日90年12月19日、91年10月25日），智慧局
09 於94年5月11日審定准予專利，並於94年8月21日公告，故
10 系爭專利二是否有得撤銷專利權之情事，應以核准審定時所
11 適用之92年2月6日修正公布、93年7月1日施行之專利法
12 （下稱92年專利法）論斷。

13 (二)次按，凡可供產業上利用之發明，無下列情形之一者，得依
14 本法申請取得發明專利：一、申請前已見於刊物或已公開使
15 用者。又發明係運用申請前既有之技術或知識，而為熟習該
16 項技術者所能輕易完成時，雖無前項所列情事，仍不得依本
17 法申請取得發明專利。有下列情事之一者，專利專責機關應
18 依職權撤銷其發明專利權，三、說明書或圖式不載明實施必
19 要之事項，或記載不必要之事項，使實施為不可能或困難者
20 ，90年專利法第20條第1項第1款、第2項、第71條第3款
21 定有明文。又按，凡可供產業上利用之發明，無下列情事之
22 一者，得依本法申請取得發明專利：一、申請前已見於刊物
23 或已公開使用者。二、申請前已為公眾所知悉者。發明雖無
24 第一項所列情事，但為其所屬技術領域中具有通常知識者依
25 申請前之先前技術所能輕易完成時，仍不得依本法申請取得
26 發明專利，92年專利法第22條第1項、第4項、第26條第2

、3 項定有明文。專利是否具有應撤銷之事由，應由主張系爭專利無效之人舉證證明之。

(三)系爭專利之技術分析：

1.系爭專利一技術分析：

(1)系爭專利一之目的在於避免對操作記憶單元之寫入動作時，造成漏電流或寫入錯誤問題，系爭專利一乃提出一種寫入方法，其係先將汲極側選擇閘線SGD 設定在電位VSG1（時刻t1），此時全部字元線的電位設定在電位Vread，使得全部記憶單元成為接通狀態，得以將位元線的資料"0"或"1" 轉移到全部記憶單元通道。接著，將汲極側選擇閘線SGD 從電位VSG1降低到電位VSG2（時刻t2），使汲極側選擇閘電晶體成為斷路狀態，隨後將程式電位Vpgm及中間電位Vpass 分別施於選擇字元線與非選擇字元線（時刻t3）。最後，將汲極側選擇閘線SGD 從電位VSG2上升到電位VSG3（時刻t4），使連接於選擇位元線的單元單位內的汲極側選擇閘電晶體成為接通狀態，進而使得連接於選擇位元線的記憶單元的通道電位為0V，以完成寫入動作。前述汲極側選擇電晶體之電位係設定為VSG1> VSG3> VSG2，系爭專利一主要圖式如本判決附圖一所示。

(2)系爭專利一申請專利範圍共計41個請求項，其中請求項1、2、9、16至21、36、39及40為獨立項，其餘均為附屬項。鎧俠公司僅主張系爭專利一請求項1、3、5及6受侵害，故以下僅列該些項次內容：

請求項1：一種非揮發性半導體記憶體，包含至少一個記憶單元；及選擇閘電晶體，係連接於前述至少一個記憶單元和位元線之間；其中寫入操作係

在連續的第一、第二及第三期間進行，以前述第一、第二及第三期間的前述選擇閘電晶體的閘極電位分別為第一、第二及第三電位時，第一電位> 第三電位> 第二電位的關係成立者。

請求項3：如申請專利範圍第1項之非揮發性半導體記憶體：其中前述第一期間係將與程式資料相應的電位或不取決於程式資料的一定電位作為起始電位供應到前述至少一個記憶單元之通道之期間者。

請求項5：如申請專利範圍第1項之非揮發性半導體記憶體：其中前述第三期間係當前述位元線為第四電位時，將前述第四電位經由前述選擇閘電晶體轉移到前述至少一個記憶單元之通道，而當前述位元線為第五電位時，使前述選擇閘電晶體仍然呈斷開狀態，維持前述至少一個記憶單元的通道電位之期間者。

請求項6：如申請專利範圍第1項之非揮發性半導體記憶體：其中前述第二期間係使前述選擇閘電晶體呈斷開狀態之期間者。

2.系爭專利二技術分析：

(1)系爭專利二技術內容：

習知的NAND記憶體，於記憶體陣列旁配置有列解碼器及位元線控制電路，並於資料出入路徑（IO線）與位元線間設有感測鎖存電路。在資料寫入時，係將存於感測鎖存電路之資料移轉至記憶體陣列中，此時感測鎖存電路無法使用於資料輸入等的其他動作。為使記憶體能在資料寫入動作

時同時進行其他資料的輸入，以縮短寫入程序所需時間，系爭專利2 乃在位元線與IO線之間設有兩種鎖存電路，亦即感測鎖存電路與資料快取電路（資料輸入／輸出控制電路（3））。由於資料寫入動作者僅為感測鎖存電路，因此資料快取電路可用於與資料寫入動作不同的動作。例如可在資料快取電路中存入下次進行資料寫入用之資料，亦即可使用於對下次寫入資料的輸入動作。此外，為將寫入動作之成功／失敗結果輸出至半導體晶片外，以提高於晶片外控制上的便利性。另設有成功／失敗判定電路（14），其係判定積體電路內部電路之前的動作結果，並生成成功／失敗信號；以及成功／失敗保留電路（15），其係輸入該成功／失敗信號，並分別保留積體電路內部電路連續進行之第一動作及第二動作的各個成功／失敗結果；及資料輸入輸出緩衝器（4）其係連續進行第一動作及第二動作時，將保留於成功／失敗保留電路內之兩個動作之各個成功／失敗結果輸出至半導體晶片外，系爭專利二主要圖式如本判決附圖二所示。

(2)系爭專利二請求項共28項，其中請求項1、7、10、13、19為獨立項，餘為附屬項。鎧俠公司僅主張系爭專利二請求項7、13、15、17及18受侵害，故僅列該些項次內容如下：

請求項7：一種半導體積體電路，其具備：

成功／失敗判定電路，其係配置成判定前一動作結果，並輸出成功／失敗信號；

成功／失敗保留電路，其係連結為接收上述成功／失敗信號，用以分別保留上述連續進行之

01 第一動作及第二動作之各個成功／失敗結果；
02 及輸出電路，其係配置成於前述第一動作及第
03 二動作連續執行時，輸出保留於上述成功／失
04 敗保留電路內之上述第一動作及第二動作的各
05 個成功／失敗結果。

06 請求項13：一種半導體積體電路之操作方法，其係包含：
07 連續執行第一動作與第二動作；
08 上述第一動作結束後，於內部保留其動作之成
09 功／失敗結果，上述第二動作結束後，於內部
10 保留其動作之成功／失敗結果，上述第一及上
11 述第二動作結束後，將上述第一動作之成功／
12 失敗結果與前述第二動作之成功／失敗結果皆
13 輸出至半導體積體電路之外部。

14 請求項15：如申請專利範圍第13項之半導體積體電路之操
15 作方法，其中上述第一、第二動作均係資料寫
16 入動作。

17 請求項17：如申請專利範圍第13項之半導體積體電路之操
18 作方法，其中上述第一、第二動作係於具有包
19 含非揮發性記憶體單元之記憶體單元陣列的非
20 揮發性半導體儲存電路執行。

21 請求項18：如申請專利範圍第13項之半導體積體電路之操
22 作方法，其中上述記憶體單元陣列包含配置成
23 行列狀之數個NAND型單元。

24 (四)系爭產品技術分析：

25 本件鎧俠公司於第二審主張侵害系爭專利一、二之系爭產品
26 共計有3個，分別為型號「A5U1GA31ATS-BC」晶片產品（即

「系爭產品一」）、型號「A5U2GA31BTS-BC」晶片產品（即「系爭產品二」）及型號「A5U4GA31ATS-BC」晶片產品（即「系爭產品三」），上開3 個晶片產品之相關技術內容如下：

1.系爭產品一為1Gb 單層單元反及型快閃記憶體（SLC NAND Flash），其代表圖表及實物照片如本判決附圖三所示。

2.系爭產品二為2Gb 單層單元反及型快閃記憶體（SLC NAND Flash），其代表圖表及實物照片如本判決附圖四所示。

3.系爭產品三為4Gb 單層單元反及型快閃記憶體（SLC NAND Flash），其代表圖表及實物照片如本判決附圖五所示。

(五)有效性證據分析：

1.系爭專利一之有效性證據：

上證4 為西元2000年4 月11日公告之美國第0000000 號「半導體記憶體裝置」專利案，其公告日早於系爭專利一優先權日（89年5 月22日），可為系爭專利一之相關先前技術。為避免寫入錯誤及提高記憶體可靠度，上證4 所揭露之記憶的裝置包含NAND單元（11）、位元線（BL）以及具有偵測放大器（13）與預充電電路（14）之資料門鎖電路（12）記憶體單元陣列。其中，預充電電路（14）係用來當資料寫入時，係以一較電源電壓為高的預充電電壓供給位元線（BL），例如以位元線預充電信號（F1）變成預充電電壓加上臨界電壓（ $V_{pre}+V_{thQ1}=8V$ ），使位元線被預充電至預充電電壓 V_{pre} （6V），同時，將字元線（WL0 至WL15）及選擇閘線（SSL）之電位升至 V_{pass} （8V），使NAND單元之全部電晶體的通道電位變成 V_{pre} ，之後使位元線預充電信號（F1）降低至接地電位（0V），使位元線與NAND單元的通道變成浮接狀態（時間

t2)，再進行資料寫入於選擇電晶體(Tr2)的動作，上證4
主要圖式如本判決附圖六所示。

2.系爭專利二之有效性證據：

(1)被證15係2001年11月20日公告之美國第0000000 號「非揮
發性記憶裝置」專利案，其公告日早於系爭專利二最早優
先權日（90年12月19日），可為系爭專利二之相關先前技
術。被證15揭露一種快閃記憶體，其具有多個記憶單元和
一模式控制電路(18) 。模式控制電路(18) 可從記憶體
外部接收操作命令並根據命令控制記憶體的操作。這些命
令包括讀取命令和寫入命令等。讀取命令可使模式控制電
路(18) 讀取記憶單元中的數據並將其輸出。寫入命令則
使模式控制電路(18) 控制數據輸入到數據鎖存電路及記
憶單元，模式控制電路尚可提供指示數據的寫入是成功還
是失敗的狀態信息，被證15之主要圖式如本判決附圖七所
示。

(2)被證3 係2001年8 月28日公告之美國第0000000 號「具有
寫入狀態偵測電路及其方法之快閃記憶體裝置」專利案，
其公告日早於系爭專利二最早優先權日（90年12月19日）
，可為系爭專利二之相關先前技術。被證3 揭露一種具有
寫入狀態偵測電路之快閃記憶體，可確認記憶體單元之寫
入狀態。該寫入狀態偵測電路係利用行選擇電路傳送之資
料，即具有冗餘資訊之行位址，來確認寫入之成功／失敗
。因此能夠克服具有行缺陷即被認定為不良品之良率劣化
問題，被證3 之主要圖式如本判決附圖八所示。

(3)被證2 係2001年7 月10日公告之美國第0000000 號「設有
驗證電路以確認缺陷記憶單元之位址的非揮發性記憶體裝

置」專利案，其公告日早於系爭專利二最早優先權日（90年12月19日），可為系爭專利2之相關先前技術。被證2揭露一種快閃記憶體，其具有多個頁緩衝器，且每個頁緩衝器具有N個子區塊。每個頁緩衝器之子區塊係對應於選擇字元線，用來暫存寫入至記憶單元或自記憶單元所抹除之資料。該快閃記憶體另具有驗證電路，對應於頁緩衝器之N個子區塊，該驗證電路可輸出至少一子區塊之驗證狀態至外部裝置，被證2之主要圖式如本判決附圖九所示。

(4)被證8、被證8-5係三星電子公司之K9F1G08Q0M /K9F1G16Q0M/K9F1G08U0M/K9F1G16U0M型號快閃記憶體第0.0版規格書，其公開日早於系爭專利二最早優先權日（90年12月19日），可為系爭專利2之相關先前技術。被證8、被證8-5之K9F1G08Q0M/K9F1G16Q0M/K9F1G08U0M/K9F1G16U0M型號快閃記憶體主要架構包含NAND記憶體陣列、資料暫存器、快取暫存器等電路。該快閃記憶體藉由內部的寫入控制器將所有的寫入及抹除功能加以自動化，而該快閃記憶體之接腳可接收來自於外部之指令或輸出寫入／抹除動作之成功／失敗結果、忙碌／就緒等資訊，被證8、被證8-5之主要圖式如本判決附圖十所示。

(5)上證5-1係三星電子公司之K9F1208U0M型號快閃記憶體第0.4版規格書，其公開日早於系爭專利二最早優先權日（90年12月19日），可為系爭專利2之相關先前技術。上證5-1之K9F1208U0M型號快閃記憶體主要架構包含NAND記憶體陣列、頁暫存器、I/O緩衝器及栓鎖器等電路。在記憶體陣列部分，其包含4個平面，每個平面具有1024個區塊及1個528位元之頁暫存器，可藉由其中之一平面中選

擇特定的頁或區塊來同步的頁寫入或區塊抹除操作程序，
上證5-1 之主要圖式如本判決附圖十一所示。

(六)系爭專利一有效性爭點分析：

1.系爭專利一請求項1 、3 、5 、6 違反核准時專利法第71條
第3 款之規定：

(1)按「第一項之說明書，除應載明申請專利範圍外，並應載明有關之先前技術、發明之目的、技術內容、特點及功效，使熟習該項技術者能瞭解其內容並可據以實施」、「前項申請專利範圍，應具體指明申請專利之標的、技術內容及特點」為系爭專利一核准時專利法（90年10月24日修正公布）第22條第3 、4 項所明文。由此可知，專利申請人向專利專責機關提出之說明書，其中有關「發明說明」（即說明書除申請專利範圍以外之部分）應記載之事項，規定於專利法第22條第3 項（及同法施行細則第15條），「申請專利範圍」應記載的內容，則規定於專利法第22條第4 項（及同法施行細則第16條）。

(2)次按，「有下列情事之一者，專利專責機關應依職權撤銷其發明專利權，並限期追繳證書，無法追回者，應公告證書作廢：…三、說明書或圖式不載明實施必要之事項，或記載不必要之事項，使實施為不可能或困難者。」為系爭專利一核准時專利法第71條第3 款所明文。該條文所指之「說明書」，參照同法第22條第3 項規定，係包含「申請專利範圍」在內，是以如將專利法第71條第3 款解釋為只要專利說明書或圖式「整體」載明實施必要之事項即未違反該款規定，無異於是忽視說明書所包含之「申請專利範圍」與「發明說明」於專利申請階段各需滿足不同的記載

要件（第22條第3、4項），且於舉發階段採取較申請階段更為寬鬆之審查標準，明顯與舉發制度之目的係以公眾輔助審查專利核准過程是否有誤相違。是以，專利法第71條第3款之規定，應依專利法第22條第3、4項規定之意涵，審視說明書（包含發明說明及申請專利範圍）是否因不載明實施必要之事項，或記載不必要之事項，致使實施為不可能或困難者，構成專利權應撤銷之事由（相當於現行專利法第71條第1項第1款所列違反專利法第26條第1、2項之舉發事由）。

- (3)經查，系爭專利一說明書第4至13頁及第1至5圖，業已說明相關之先前技術，特別是說明書第13頁第3、4段說明因字元線、選擇閘線間距變窄，造成漏電流增大，進而產生記憶體在進行寫入動作時產生錯誤的問題，因而系爭專利1之目的即在解決前述問題（參見系爭專利一說明書第14頁第1至5行），並以圖6至19，提出共11例的寫入方式，如圖8所示之第1例（參見說明書第17至23頁），係在寫入操作期間（ t_1 至 t_6 ），將汲極側選擇閘線（SGD）之電位依序設定為VSG1（ t_1 至 t_2 ）→VSG2（ t_2 至 t_4 ）→VSG3（ t_4 至 t_6 ），其中 $VSG1 > VSG3 > VSG2$ ，且VSG2被設定在十分低的值，使得在程式電位 V_{pgrm} 及中間電位 V_{pass} 分別給予選擇字元線與非選擇字元線時，即使因電容耦合而造成汲極側選擇閘線的電位上升，汲極側選擇電晶體仍不會接通（說明書第19頁第3至6段），因而能避免寫入錯誤之問題。是以，系爭專利一說明書之「發明說明」業已載明有關之先前技術、發明之目的、技術內容、特點及功效，熟習該項技術者當能瞭解其內容並據以實施，並無

不載明實施必要之事項，或記載不必要之事項，致使實施為不可能或困難之情事。

(4)就申請專利範圍之記載部分：

查系爭專利1 請求項一之請求標的係「非揮發性半導體記憶體」，包含至少一個記憶單元；及選擇閘電晶體，並界定在寫入操作的第一、第二及第三期間，選擇閘電晶體的閘極電位分別為第一、第二及第三電位時，且第一電位 $>$ 第三電位 $>$ 第二電位。惟參酌前述系爭專利一說明書內容，可知系爭專利一之所以能達成避免漏電流及寫入錯誤之目的，係在施予程式電位 V_{pgm} 至選擇字元線之前（包含升壓至 V_{pgm} 的期間），將汲極側選擇閘線SGD 的電位由 V_{SG1} （第一電位）降至 V_{SG2} （第二電位），且 V_{SG2} 需低至使汲極側選擇閘電晶體斷開，藉此避免在供應程式電位 V_{pgm} 給位元線時，因電容耦合而造成汲極側選擇電晶體接通問題。換言之，如僅以系爭專利一請求項1 所界定之第一、第二及第三電位相對電位高低技術特徵，其缺乏「第二電位（或第二期間）使選擇閘電晶體呈斷開狀態」，以及「第二電位（或第二期間）係發生在供應程式電位至選擇字元線之前」等必要技術特徵，致使僅以系爭專利一請求項1 所記載選擇閘電晶體在寫入操作時具有三個不同電位（對應三個不同期間）之技術特徵，無法確認各電位（或期間）對於選擇閘電晶體之功能或作用，及其與選擇字元線程式電位 V_{pgm} 的關連性，則如第二電位之電位值未能使選擇閘電晶體斷開，或供應程式電位至選擇字元線後始斷開選擇閘電晶體位，當不能達成系爭專利一之發明目的，是以系爭專利一請求項1 未載明實施之必要技術內容、特點，

致使實施為不可能或困難，核已違反核准時專利法第71條第3款之規定。

(5)同理，系爭專利一請求項3、5、6係請求項1之附屬項，其中請求項6雖已記載「…第二期間係使前述選擇閘電晶體呈斷開狀態…」，惟仍缺乏與選擇字元線程式電位 V_{pgm} 相關之必要技術內容、特點，故系爭專利一請求項3、5、6均違反核准時專利法第71條第3款之規定。

(6)鎧俠公司主張本爭點所涉之得撤銷事由及證據，業經智慧局就系爭專利一之舉發案（N01），於106年3月14日審定舉發不成立確定在案，依智慧財產案件審理細則第28條第2項規定，不得再行主張云云（鎧俠公司107年11月15日民事上訴答辯狀第7至8頁、108年8月15日民事言詞辯論意旨狀一系爭專利一有效性及侵權第22、23頁）。惟按，智慧財產案件審理細則第28條第2項之「同一事實」係指待證事實之實質內容相同，不論其形式是否相同。查系爭專利一該件舉發案（N01）經審定舉發不成立後，係因舉發人未提起行政救濟而告確定，尚未經過司法審查；又該件舉發案中，就專利法第71條第3款部分，舉發人係主張系爭專利一請求項1、3、5、6未載明第一、第二及第三期間及寫入操作等，欠缺說明書或圖式之支持，與本件力晶公司等人主張系爭專利一請求項中未記載「第二期間使選擇閘電晶體呈斷開狀態」等必要技術內容，非屬同一基礎事實，自無智慧財產案件審理細則第28條第2項規定之適用。職是，鎧俠公司此部分之主張不足採。

2.上證4足以證明系爭專利一請求項1、3、5、6不具進步性：

(1)比對系爭專利1 請求項1 與上證4 之技術內容可知，上證4 圖9 及說明書第10欄揭露一種非揮發性半導體記憶體，其包含至少一個NAND單元（11），以及選擇閘電晶體（ST1 ），係連接於該NAND單元（11）和位元線（BL）之間，對應揭露系爭專利一請求項1 之「一種非揮發性半導體記憶體，包含至少一個記憶單元；及選擇閘電晶體，係連接於前述至少一個記憶單元和位元線之間」技術特徵。又上證4 圖12及說明書第15、16欄係說明圖9 之電路於資料寫入時之電位變化，其中在對電晶體（Tr2 ）寫入操作期間（t1至t5），選擇閘極線（SSL ）（即選擇閘電晶體ST1 之閘極電位）在t1至t21 期間之電位為「Vpre+Vthss1 」（8V），而後，選擇閘極線之電位降至「Vcc 」（3.3V），使得選擇閘電晶體ST1 斷開，NAND單元因此未與位元線相連接（參見上證4 第15欄第18至22行原文" …a select gate line is reduced from potential Vpre +Vth cell (8V) to the power supply voltage Vcc (3.3 V) . As a result , the transistor ST1 of the select gate is cut off and the NAND cell is disconnected from the bitline ." 。其文字記載之「Vpre+Vthcell」，與圖12選擇閘極線SSL 電位波形上標示之文字「Vpre+Vthss1 」略有出入）。亦即上證4 揭露寫入操作時，選擇閘電晶體在不同期間有2 種不同電位「Vpre+Vthss1 」及Vcc ，且「Vpre+Vthss1 」> Vcc ，即分別對應於系爭專利1 之第一電位、第二電位，以及第一電位> 第二電位之技術特徵，甚而上證4 施以Vcc （第二電位）於選擇閘線時，可使選擇閘電晶體ST1 斷開。是以，系爭專利一請求

01 項1 與上證4 圖12所揭露之技術內容間的差異在於：上證
02 4 圖12並未揭露選擇閘電晶體在寫入操作時尚施以一第三
03 電位，且第一電位 $>$ 第三電位 $>$ 第二電位。

04 (2)鎧俠公司辯稱上證4 圖12所示之選擇閘線（SSL）電壓 V_{cc}
05 c 或第16欄第6 至10行所示之 V_{st} （註：上證4 第16欄第
06 8 行記載 V_{s1} ，同欄第13行則記載 V_{st} ，以下均以 V_{st} 稱
07 之），由第15欄第61行所載「當不執行程式化…」等內容
08 ，可知 V_{st} 係針對「非程式化」之單元電晶體之選擇閘電
09 晶體斷開，而其亦必須同時使「待程式化」之單元電晶體
10 之選擇閘電晶體導通，不同於系爭專利1 之「第二電位」
11 技術特徵云云（鎧俠公司108 年8 月15日民事言詞辯論意
12 旨狀- 系爭專利一有效性及侵權第23、24頁）。惟依NAND
13 型記憶體架構，同一區塊（block）之多個選擇閘電晶體
14 的閘極係連接於同一條選擇閘線（參見上證4 圖5 之SSL
15 或系爭專利1 圖7 之SGD），並以頁（page）作為寫入單
16 位（可能僅有部分的記憶單元需進行"0" 資料寫入，其餘
17 為"1" 資料不需寫入），是以，對選擇閘線施以特定電位
18 時，同一區塊之所有選擇閘電晶體的導通／斷開狀態應相
19 同，依上證4 對於選擇閘線SSL 施以 V_{st} 電位可使選擇閘
20 電晶體ST1 斷開之相關技術內容，當知同一條選擇閘線上
21 所有選擇閘電晶體同為斷開。況且同一 V_{st} 電位，豈有既
22 可將選擇閘電晶體導通，又可使其導通之理？故鎧俠公司
23 所陳，當非可採。又上證4 第15欄第61行雖載明「…當不
24 執行程式化…」，惟由同欄第63至66行所載「…考慮到不
25 執行程式化之位元線位於執行程式化之兩位元線間之最糟
26 情形…」等內容，可知上證4 第16欄第6 至16行、第16欄

第30至33行教示可將選擇閘線（SSL）之電位降至比 V_{cc} 更低的 V_{st} （大於 V_{ss} ），使得選擇閘電晶體ST1關閉更確實，當指圖12中涉及寫入操作之選擇閘電晶體（連接於程式化或不程式化之記憶體單元）而言。職是，上證4圖12及說明書相關說明所揭露選擇閘線SSL電位於寫入操作時由「 $V_{pre}+V_{thss1}$ 」（第一電位）降至「 V_{cc} 」或「 V_{st} 」（第二電位），且滿足「 $V_{pre}+V_{thss1}$ 」>「 V_{cc} 」（或「 V_{st} 」）之條件，則上證4之「 V_{cc} 」或「 V_{st} 」，自當對應揭露系爭專利一請求項1之「第二電位」技術特徵。

(3)承上，上證4之「 $V_{pre}+V_{thss1}$ 」、「 V_{cc}/V_{st} 」對應揭露系爭專利一請求項1之第一、第二電位技術特徵，是既系爭專利一請求項1與上證4圖12之差異在於第三電位，自應審視該差異（第三電位）所能解決之問題、目的及所達成之功效，據以判斷所屬技術領域中具有通常知識者參酌上證4所揭露之內容及申請時之通常知識，是否能輕易完成系爭專利一請求項1之發明。然查，系爭專利一請求項1並未具體界定任何關於第三電位之數值、對於選擇閘電晶體所造成之影響或與選擇字元線電位相互配合之相關條件，無法確認第三電位之功能、目的或效果。經參酌系爭專利一說明書中關於第三電位（VSG3）之相關記載，如第34頁第12至18行、第41頁第10至15行、第48頁第16至21行「關於連接於選擇位元線BL2的單元單位，VSG3被設定在汲極側選擇閘電晶體成為接通狀態…。此外，關於連接於非選擇位元線BL0、BL1、BL3、BL4的單元單位，VSG3被設定在汲極側選擇閘電晶體仍然是斷開狀態…」、圖

01 16及第62頁第11至16行「…若將VSG3的值和VSG2同樣，設
02 定在十分低的值…即，VSG3被設定在施加程式電位時（字
03 元線上升時），在汲極側選擇閘電晶體不產生漏電流之類
04 的值」、第65頁第5、6行「VSG3被設定在Vclamp以下、
05 汲極側選擇閘電晶體的臨界值以上」，可知系爭專利一之
06 第三電位（VSG3）有諸多選擇可能性，其中至少可以依據
07 避免漏電流或維持寫抑制電位之目的，選擇能使選擇閘電
08 晶體在寫入操作結束前仍為斷開之第三電位值，或者為使
09 位元線資料能在選擇字元線進行寫入時順利轉移，選擇能
10 使選擇閘電晶體導通之電位值。

- 11 (4)系爭專利一請求項1 僅界定第三電位之相對值（第一電位
12 > 第三電位> 第二電位），如選擇第三電位之電位值仍使
13 選擇閘電晶體在第三期間屬斷開狀態，則上證4 圖12已揭
14 露在t2至t5期間（包含選擇字元線WL2 升壓至Vpgm之期間
15 （t3至t5））對選擇閘線SSL 施予能使選擇閘電晶體ST1
16 持續斷開之Vcc（第二電位），是以，上證4 雖未在寫入
17 操作結束前將Vcc 上升至另一可使選擇閘電晶體斷開之第
18 三電壓，但其持續施予第二電位Vcc 使選擇閘電晶體ST1
19 在字元線WL2 寫入過程結束前均為斷開，與系爭專利一請
20 求項1 以第二電位及第三電位（較第二電位為高）使選擇
21 閘電晶體在寫入過程結束前持續斷開，係屬實質相同之技
22 術手段，並均可達成使選擇閘電晶體持續斷開之相同功效
23 ；又上證4 第16欄第6 至16行教示選擇閘線之電位可降至
24 比Vcc 更低之Vst，使選擇閘電晶體斷開更確實，故所屬
25 技術領域中具有通常知識者依上證4 圖12及前述之教示內
26 容，當知欲使選擇閘電晶體斷開，有Vst 及Vcc（較Vst

為高)兩種電位可供選擇，且在選擇閘電晶體斷開的期間
(t_2 至 t_5)內，不論以單一電位(V_{st} 或 V_{cc})或採不同
電位變化(例如 $V_{st} \rightarrow V_{cc}$ ，即符合系爭專利一由第二電
位 $\rightarrow$ 第三電位)，僅是習知電位之簡單選擇與變化，不具
無法預期之功效，職是，系爭專利一請求項1之發明乃所
屬技術領域中具有通常知識者依上證4圖12及關於電壓
 V_{cc} 、 V_{st} 之教示所能輕易完成者，不具進步性。

- (5)鎧俠公司另辯稱上證4並未考慮電容耦合，當然無法解決
系爭專利一所提及的電容耦合問題，以及系爭專利一採取
以第二電位(V_{SG2})使全部選擇閘電晶體充分成為斷開之
技術方案，上證4無法證明系爭專利1請求項1不具進步
性云云(鎧俠公司108年8月15日民事言詞辯論意旨狀一
系爭專利一有效性及侵權第24、25頁)。但查，系爭專利
一請求項1並未載明「第二電位係使選擇閘電晶體斷開」
之技術手段，則系爭專利一請求項1所界定之發明是否能
解決電容耦合問題即有疑問。況且，依系爭專利一說明書
第14頁第1段「本發明之目的…使汲極側／源極側選擇閘
電晶體充分成為斷開狀態之類的電位給與這些選擇閘電晶
體的閘極，防止在通道升壓時產生漏電流而引起寫抑制電
位降低」及第23頁第1段「… V_{SG2} 的值係以下述為目的所
決定：施加程式電位 V_{pgm} 時，即使因電容耦合而 V_{SG2} 上升
，也不使汲極側選擇閘電晶體接通(防止洩露)…」，可
知電容耦合、漏電流或寫抑制電位降低，實質上為相同的
技術問題，並以充分關閉(斷開)選擇閘電晶體為解決問
題之技術手段。而上證4第16欄第30至40行載明將選擇閘
線(即選擇閘電晶體之閘極)電位降低至等於或小於 V_{cc}

時，可使選擇閘電晶體斷開，因此即便相鄰的位元線間耦合雜訊（coupling noise）造成位元線電位降低（註：不執行寫入之位元線電位即為寫抑制電位），仍可避免NAND單元之放電（discharge）以及不執行寫入之記憶單元寫入錯誤（註：原文為"…potential of the select gate line is reduced equal to or lower than the electric source Vcc and thereby the select gate transistor is brought to be in a cut off state . Therefore , since the NAND cell can be disconnected from the bitline , for example , even when a first bitline adjacent to a second bitline which holds a high level holds a low level and potential of the second bitline is reduced because of a coupling noise between bitlines , the channel of the NAND cell can be prevented from discharge in a sufficient manner and error in programming in a memory cell in which programming is not performed can be also prevented ."），足見上證4 所解決之問題及所採取的技術手段（第二電位）與系爭專利一相同。

- (6)查系爭專利一請求項3 係請求項1 之附屬項，並界定「前述第一期間係將與程式資料相應的電位或不取決於程式資料的一定電位作為起始電位供應到前述至少一個記憶單元之通道之期間者」之附屬技術特徵，又上證4 圖12揭示在t1至t21 期間係對選擇閘線SSL 施予「Vpre+Vthss1」（第一電位）、位元線（BL）施予Vpre=6V，使得記憶單元電晶體Tr2 之通道電位等同於位元線電位Vpre=6V（見圖

12中有關「Tr2 CHANNEL VOLTAGE」波形部分），即對應揭露前述附屬技術特徵，且上證4 足以證明系爭專利1 請求項1 不具進步性之理由，已如前述，職是，上證4 足以證明系爭專利一請求項3 不具進步性。

(7)再查，系爭專利一請求項5 係請求項1 之附屬項，並界定「前述第三期間係當前述位元線為第四電位時，將前述第四電位經由前述選擇閘電晶體轉移到前述至少一個記憶單元之通道，而當前述位元線為第五電位時，使前述選擇閘電晶體仍然呈斷開狀態，維持前述至少一個記憶單元的通道電位之期間者」之附屬技術特徵，又上證4 圖12揭露在t4至t5期間（第三期間），執行寫入之位元線電位為Vss（第四電位），不執行寫入之位元線電位為Vpre（第五電位），此時選擇閘線之電位為Vcc（或可為Vst），使選擇閘電晶體ST1 仍然呈斷開狀態，維持不執行寫入之記憶單元電晶體Tr2 通道電位為11V（另參上證4 第16欄第13至24行，原文為"…potential of select gate line SSL is lowered to potential Vst …and a cut off of the transistor ST1 make surer … . Thereby , even though a programming voltage 18 V is applied to the word line WL2 , since the channel of the cell transistor Tr2 keeps a high level of 11 V , the cell transistor Tr2 is not programmed …"），即對應揭露前述附屬技術特徵，且上證4 足以證明系爭專利1 請求項1 不具進步性之理由，亦已如前述，職是，上證4 足以證明系爭專利1 請求項5 不具進步性。

(8)查系爭專利請求項6 為請求項1 之附屬項，並界定「前述

第二期間係使前述選擇閘電晶體呈斷開狀態之期間者」之附屬技術特徵，又上證4 圖12揭露在t21 至t4期間（第二期間）對選擇閘線施予電位Vcc，上證4 第15欄第18至22行則載明電位Vcc 可使選擇閘電晶體ST1 斷開，且上證4 足以證明系爭專利一請求項1 不具進步性之理由，有如前述，職是，上證4 足以證明系爭專利一請求項6 不具進步性。

3.上證4 及系爭專利一自承先前技術之組合足以證明系爭專利一請求項1、3、5、6 不具進步性：

上證4 既足以證明系爭利一請求項1、3、5、6 不具進步性，詳如前述，則上證4 及系爭專利一自承先前技術之組合，自當足以證明系爭專利一請求項1、3、5、6 不具進步性。

(七)系爭專利二有效性爭點分析：

1.被證3 足以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性：

(1)比對系爭專利二請求項7 與被證3 之技術內容可知，被證3 圖8、圖9 揭露快閃記憶體之寫入狀態偵測電路（300）具有資料狀態偵測電路（310、312），可判定寫入動作之成功／失敗信號（pf_dM1FAIL、pf_dM2FAIL），對應揭露系爭專利二請求項7 之「一種半導體積體電路，其具備：成功／失敗判定電路，其係配置成判定前一動作結果，並輸出成功／失敗信號」技術特徵。被證3 圖9 及說明書第11欄第37至47行另揭露寫入狀態偵測電路（300）具有第一、第二暫存器（314、316），其係接收成功／失敗信號（pf_dM1FAIL、pf_dM2FAIL），用以分別保留來

01 自於資料狀態偵測電路（310、312）寫入之成功／失敗
02 結果，對應揭露系爭專利二請求項7之「成功／失敗保留
03 電路，其係連結為接收上述成功／失敗信號，用以分別保
04 留上述連續進行之第一動作及第二動作之各個成功／失敗
05 結果」技術特徵。又被證3圖9揭露第三暫存器（328）
06 係接收保留於第一、第二暫存器（314、316）之成功／失
07 敗信號（pf_fM1FAIL、pf_fM2FAIL），並輸出成功／失敗
08 結果（PF_FSR1、PF_FSR2），對應揭露系爭專利二請求
09 項7界定之「輸出電路，其係配置成於前述第一動作及第
10 二動作連續執行時，輸出保留於上述成功／失敗保留電路
11 內之上述第一動作及第二動作的各個成功／失敗結果」之
12 技術特徵，故被證3業已揭露系爭專利二請求項7之全部
13 技術特徵，足以證明系爭專利二請求項7不具新穎性。

14 (2) 鎧俠公司辯稱被證3第10欄第33至40行揭示「同時」寫入
15 記憶體單元陣列（200a、200b），並非連續寫入；又被證
16 3之一個完整寫入動作係由第1頁輸入動作開始，直至輸
17 入一個寫入命令以同時完成第1頁與第2頁之寫入動作，
18 與系爭專利2請求項7之「連續進行的第一動作與第二動
19 作」不同云云（被上訴人107年3月28日民事上訴答辯（
20 二）狀第29、30頁、108年8月15日民事言詞辯論意旨狀
21 - 系爭專利2有效性及侵權第21、22頁）。惟查，系爭專
22 利2請求項7係界定成功／失敗判定電路用來分別保留「
23 連續進行之第一動作及第二動作之各個成功／失敗結果」
24 ，並未提及第一、第二動作係「寫入」，遑論與「寫入命
25 令」之關係。而被證3圖8、圖9既揭露寫入狀態偵測電
26 路（300）或第三暫存器（328）可輸出寫入動作之成功

／失敗結果，則當對各別的記憶體陣列（200a或200b）進行連續寫入時，寫入狀態偵測電路（300）或第三暫存器（328）當可連續輸出成功／失敗信號。事實上，快閃記憶體之資料寫入時係以頁為單位（參見被證3圖3之頁緩衝電路110及說明書第7欄第10至15行），資料量大於一頁時，當需多次的連續寫入動作，況且被證3圖6揭露之寫入程序中依據不同的行位址，可包含多次的連續寫入動作（被證3說明書第8欄第52至55行），故鎧俠公司上開辯解不足採。

- (3)比對系爭專利二請求項13與被證3之技術內容可知，如前所述，被證3圖8、圖9揭露寫入狀態偵測電路（300）或第三暫存器（328）可輸出寫入動作之成功／失敗結果，且對各別的記憶體陣列（200a或200b）之寫入係以頁為單位，資料量大於一頁時，自需多次的連續寫入動作，又被證3圖6亦揭露於寫入程序中可依據不同的行位址，包含多次的連續寫入動作，對應揭露系爭專利2請求項13之「連續執行第一動作與第二動作」技術特徵；又被證3圖8及圖9揭露寫入狀態偵測電路（300）具有第一、第二暫存器（314、316），其可保留成功／失敗結果（pf_dM1FAIL、pf_dM2FAIL），而第三暫存器（328）則接收保留於第一、第二暫存器（314、316）之成功／失敗信號（pf_fM1FAIL、pf_fM2FAIL），並輸出成功／失敗結果（PF_FSR1、PF_FSR2），而當連續寫入動作時，寫入狀態偵測電路（300）或第三暫存器（328）自當可連續輸出成功／失敗結果，即對應揭露系爭專利二請求項13之「上述第一動作結束後，於內部保留其動作之成功／失敗結果

，上述第二動作結束後，於內部保留其動作之成功／失敗結果，上述第一及上述第二動作結束後，將上述第一動作之成功／失敗結果與前述第二動作之成功／失敗結果皆輸出至半導體積體電路之外部」技術特徵。是以，被證3 業已揭露系爭專利二請求項13之全部技術特徵，被證3 足以證明系爭專利二請求項13不具新穎性。

(4)系爭專利二請求項15係依附於請求項13，並界定「上述第一、第二動作均係資料寫入動作」之附屬技術特徵。查被證3 圖6 已揭露於寫入程序中可依據不同的行位址進行多次的連續寫入動作，且依被證3 圖3 之頁緩衝電路（110）及快閃記憶體之相關通常知識可知，寫入動作係以頁為單位，則當資料量大於一頁時，自需多次的連續寫入動作，對應揭露前述之附屬技術特徵，又被證3 揭露系爭專利二請求項13之全部技術特徵，俱如前述，故被證3 足以證明系爭專利二請求項15不具新穎性。

(5)系爭專利二請求項17係依附於請求項13，並界定「上述第一、第二動作係於具有包含非揮發性記憶體單元之記憶體單元陣列的非揮發性半導體儲存電路執行」之附屬技術特徵。系爭專利二請求項18係依附於請求項13，並界定「上述記憶體單元陣列包含配置成行列狀之數個NAND型單元」之附屬技術特徵。查被證3 圖3 及說明書第6 欄第41至44行揭露非揮發性半導體記憶裝置，即快閃記憶體，並具有NAND型之記憶體單元陣列（100 ），對應揭露前述系爭專利二請求項17、18之附屬技術特徵，又被證3 揭露系爭專利二請求項13之全部技術特徵，已如前述，故被證3 足以證明系爭專利二請求項17、18不具新穎性。

(6)承上，系爭專利二請求項7、13、15、17、18之全部技術特徵既為被證3所揭露，則所屬技術領域中具有通常知識者依被證3之技術內容，自可輕易完成系爭專利二請求項7、13、15、17、18之發明，且能達成相同之功效，故被證3足以證明系爭專利二請求項7、13、15、17、18不具進步性。

2.被證8（參照被證8-1至8-5）足以證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性：

(1)被證8具有證據能力：

①查被證8及被證8-5均為三星電子（Samsung Electronics）公司之K9F1G08Q0M／K9F1G16Q0M／K9F1G08U0M／K9F1G16U0M等型號快閃記憶體（容量1G）之規格書第0.0版，其首頁顯示首次發行（initial issue）之Draft Date係2001年7月5日。被證8-2係前述相同型號之快閃記憶體規格書第0.2版，對照被證8、被證8-5及被證8-2之內容以及首頁之Revision History可知，力晶公司等人所引用被證8-5第0.0版產品規格書的部分（第5頁圖1-1方塊圖、第29頁快取寫入（Cache Program）、第31頁表2狀態暫存器定義表），均係2001年7月5日首次發行之內容，該等引用部分之實質技術內容於其後版本均未曾修改。

②次查，證據8-3係標題為「三星電子發布世界首塊1GbNAND型閃存卡」新聞報導，發布時間為2001年9月10日（網址：<http://www.yesky.com/00000000/0000000.shtml>），其內容載明三星電子宣布世界首款0.12微米的1Gb NAND型閃存卡開始供貨，且快閃記憶體之產品型

01 號包含被證8、8-2、8-5之「K9F1G08Q0M／K9F1G16Q
02 0M／K9F1G08U0M／K9F1G16U0M」相同型號，故被證8-3
03 可與證據8、8-2、8-5相互勾稽，且被證8-3之新聞
04 報導日期（2001年9月10日）與被證8、8-2及8-5所
05 載之首次發行日期（2001年7月5日）相近，足認該型
06 號產品之技術內容至遲於2001年9月10日已公開，早於
07 系爭專利二之最早優先權日（2001年12月19日），故被
08 證8具有證據能力。

09 ③另被證8業經另案本院106年度行專訴字第90號行政判
10 決參酌原審中間判決所未及斟酌之關連性證據後審認舉
11 發證據5（即本件之被證8）具證據能力（見該判決書
12 第51至60頁），併予敘明。

13 (2)又衡諸記憶體等晶片產品供應商之常情，於每一版本產品
14 推出時，皆會即時提供該產品規格書以供有意購買、使用
15 者參考與使用，以記憶體晶片為例，產品規格書中需詳列
16 晶片之功能、運作電壓、接腳定義及其操作模式等，否則
17 下遊廠商無法應用該晶片或對該晶片提供周邊電路支援與
18 進行電路布局等。以被證8、被證8-5之K9F1G08Q0M等型
19 號產品而言，其規格書第0.0版發行日既為2001年7月5
20 日，必然至少於是時已有產品發布，否則並無在公司網頁
21 上提供產品規格書之理，此有網路時光回溯器於2001年12
22 月11日保存之三星電子公司網頁為證（被證8-1）。據此
23 ，至遲在2001年12月11日三星電子公司已於網路上公開該
24 型號之產品規格書。又依據該網頁記載，被證8、被證8
25 -5之K9F1G08Q0M等型號產品係在2001年12月5日前之6個
26 月內即已發布，同時亦記載該產品之0.2版規格書（被證

8-2) 於2001年12月4 日發行，及0.2 版規格書係修正第19頁之錯誤等內容，此與被證8-2 首頁所示之公開日期及修正歷史均相符，故被證8-1 號及被證8-2 顯然可以相互勾稽，進一步證明被證8 之K9F1G08Q0M等型號產品及其共用之第0.2 版產品規格書之公開日早於系爭專利二之最早優先權日（2001年12月19日），亦可用以證明三星電子公司之產品規格書於撰寫後即公開以供有意購買者參考與使用之慣例，故被證8 產品規格書之公開日應早於系爭專利二之最早優先權日，可作為系爭專利二之先前技術。

(3)鎧俠公司辯稱被證8-1 之網頁資料顯示K9F1G08Q0M等型號產品之生產狀態（Production Status ）為「Engineering Sample (coming soon)」（工程樣品即將提供），顯示該產品及其規格書遲至2001年12月11日仍在設計中而未公開，無法作為系爭專利二之先前技術云云（鎧俠公司107 年3 月28日民事上訴答辯(二)狀第13至16頁）。惟查，產品之生產狀態與產品規格書是否已公開係屬二事，「工程樣品即將提供」並非指產品未完成設計，又由被證8-1 之網頁標題「FLASH Updated Data Sheets」（快閃記憶體更新之產品規格書）更可說明產品規格書不僅已公開，甚至已有更新之版本提供參考，其中更特別註明Rev .0.2版產品規格書之具體修正內容，可知當已完成必要之設計，並提供產品規格書以供購買者進行必要之研究、參考。此外，除上述被證8-1 外，另由具證據能力之上證5-5 顯示三星電子公司提供之不同型號產品規格書下載網頁，亦足以佐證該公司針對產品規格書公開予外界檢索與下載之商業習慣。另觀諸被證8-1 標題下方之說明文字「Below pr

01 oduct list represents the most recent products of
02 past 6 months 」（下方產品列表顯示過去6個月內的最
03 新產品），亦可說明該網頁所載型號之產品在該網頁發布
04 前6個月內即已推出，同時亦記載該特定型號產品之0.2
05 版規格書（被證8-2）於2001年12月4日發行，及其相關
06 修改內容。足見同網頁中所指之「工程樣品即將提供」，
07 顯然係指0.2版規格書對應之產品，而生產者既得提出修
08 正版規格，自係指先前版本對應產品已完成設計並已提供
09 產品規格書或產品予外界參考，並基此所為之修正；否則
10 ，若產品規格書為未公開之保密文件，何以生產者會將修
11 改內容公開於網站供參。

12 (4)被證8 足以證明系爭專利二請求項7、13、15、17、18不
13 具新穎性、進步性（註：鎧俠公司107年3月28日民事上
14 訴答辯(二)狀僅爭執被證8 不具證據能力，並未就被證8 之
15 實質技術內容與系爭專利二進行比對或說明、108年8月
16 15日民事言詞辯論意旨狀一系爭專利二有效性及侵權則完
17 全未提及被證8）：

18 ①比對系爭專利二請求項7與被證8之技術內容可知，被
19 證8或被證8-5之產品規格書係揭露一種快閃記憶體架
20 構及其操作方法，其圖1-1顯示該快閃記憶體具有NAND
21 快閃記憶體陣列、資料暫存器、快取暫存器、I/O緩
22 衝器及栓鎖器、輸出驅動器等電路；又依被證8、被證
23 8-5第31頁表2之讀取狀態暫存器定義表及其上方之文
24 字說明，可知該快閃記憶體中具有狀態暫存器，可供儲
25 存頁寫入（Page Program）、區塊抹除（Block Erase
26 ）及快取寫入（Cache Program）等動作之成功／失敗

結果，對應於輸入／輸出端子I /00、I /01，另對照被證8、被證8-5第12之寫入流程圖，可知在寫入動作後具有驗證寫入成功／失敗之步驟，是以上述被證8、被證8-5之技術內容隱含在該快閃記憶體中具有用以驗證寫入、抹除動作成功／失敗之電路，對應揭露系爭專利二請求項7之「一種半導體積體電路，其具備：成功／失敗判定電路，其係配置成判定前一動作結果，並輸出成功／失敗信號」技術特徵；又前述被證8、被證8-5表2所示之狀態暫存器（參見表2上方之文字說明），暫存有頁寫入、區塊抹除及快取寫入等動作之成功／失敗結果，且被證8、被證8-5圖9顯示在連續的快取寫入動作中，每次的快取寫入動作結束後均呈輸出狀態，並可由輸入／輸出端子I /01之輸出資訊中確認其成功／失敗結果，對應揭露系爭專利二請求項7之「成功／失敗保留電路，其係連結為接收上述成功／失敗信號，用以分別保留上述連續進行之第一動作及第二動作之各個成功／失敗結果」技術特徵。另依被證8、被證8-5圖1-1所示，快閃記憶體具有輸出驅動器連接至輸入／輸出端子（I00至I07），可知前述狀態暫存器內所儲存之成功／失敗結果需經由輸出驅動器輸出至輸入／輸出端子，故該輸出驅動器即對應揭露系爭專利二請求項7之「輸出電路，其係配置成於前述第一動作及第二動作連續執行時，輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」技術特徵。綜上，被證8或被證8-5業已揭露系爭專利二請求項7之全部技術特徵，故被證8或被證8-5足以證

明系爭專利二請求項7 不具新穎性。

②比對系爭專利二請求項13與被證8 之技術內容可知，被證8 或被證8-5 圖9 揭露在快取寫入操作中包含連續的多個快取寫入動作（依據快取寫入指令15h ），且表2 顯示狀態暫存器對應於I /00與I /01可分別輸出第N 個、第N-1 個快取寫入動作之成功／失敗結果，即對應於系爭專利二請求項13之「一種半導體積體電路之操作方法，其係包含：連續執行第一動作與第二動作」技術特徵；又前述被證8 、被證8-5 圖9 顯示在每次的快取寫入動作結束後均輸出狀態，並可由I /01確認其成功／失敗結果，表2 則顯示由I /00與I /01可分別獲得第N 個、第N-1 個快取寫入動作之成功／失敗結果，對應揭露系爭專利二請求項13之「上述第一動作結束後，於內部保留其動作之成功／失敗結果，上述第二動作結束後，於內部保留其動作之成功／失敗結果，上述第一及上述第二動作結束後，將上述第一動作之成功／失敗結果與前述第二動作之成功／失敗結果皆輸出至半導體積體電路之外部」技術特徵。綜上，被證8 或被證8-5 業已揭露系爭專利二請求項13之全部技術特徵，故被證8 或被證8-5 足以證明系爭專利二請求項13不具新穎性。

③查系爭專利二請求項15係依附於請求項13，並界定「上述第一、第二動作均係資料寫入動作」之附屬技術特徵，被證8 、被證8-5 圖9 顯示連續的兩個快取寫入動作，表2 亦顯示由I /00與I /01 可分別獲得第N 個、第N-1 個快取寫入動作之成功／失敗結果，對應揭露前述

之附屬技術特徵，又被證8、被證8-5 足以證明系爭專利二請求項13不具新穎性之理由，已如前述，故被證8或被證8-5 足以證明系爭專利二請求項15不具新穎性。

④系爭專利二請求項17係依附於請求項13，並界定「上述第一、第二動作係於具有包含非揮發性記憶體單元之記憶體單元陣列的非揮發性半導體儲存電路執行」之附屬技術特徵。系爭專利二請求項18係依附於請求項13，並界定「上述記憶體單元陣列包含配置成行列狀之數個NAND型單元」之附屬技術特徵。查被證8、被證8-5 圖1-1揭露快閃記憶體具有NAND快閃記憶體陣列，對應揭露前述附屬技術特徵，又被證8、被證8-5 足以證明系爭專利二請求項13不具新穎性之理由，俱如前述，故被證8、被證8-5 足以證明系爭專利二請求項17、18不具新穎性。

(5)承上，系爭專利二請求項7、13、15、17、18之全部技術特徵既為被證8或被證8-5 所揭露，則所屬技術領域中具有通常知識者依被證8或被證8-5 之技術內容，自可輕易完成系爭專利二請求項7、13、15、17、18之發明，且能達成相同之功效，故被證8或被證8-5 足以證明系爭專利二請求項7、13、15、17、18不具進步性。

3.因被證14非屬適格之先前技術證據，故無法證明系爭專利二請求項7、13、15、17、18不具新穎性、進步性：

(1)查被證14係為三星電子（Samsung electronics）公司2003年8月5日發行K9W4G08U1M／K9W4G16U1M／K9K2G08Q0M／K9K2G16Q0M／K9K2G08U0M／K9K2G16U0M型號之快閃記憶體規格書1.4版，其首頁記載之規格書修改歷程顯示第0.

0 版initial issue 之Draft Date為2001年8 月30日固然早於系爭專利二優先權日（2001年12月19日），然僅以產品規格書上Draft Date之記載，無法直接確認是否即為公開日，且第0.0 版內容與被證14之1.4 版內容是否實質相同，尚須其他客觀事證以資佐證。被證10係三星電子公司於2001年8 月30日發布之新聞稿，其內容係在報導其發表全世界首塊以0.12微米製程技術所製造之1Gb NAND型快閃記憶體，被證4 之EETimes 網頁亦於同年月日刊載有實質相同之新聞報導，被證14-1係網路時光回溯器所保留之被證10資料，雖可認定被證4 、被證10之新聞報導內容真實性，但被證4 、10及14-1均無任何快閃記憶體型號可供與被證14相互勾稽。又被證4 中另包含與被證14相同型號之快閃記憶體規格書1.7 版，充其量僅能證明該型號之快閃記憶體規格書於1.4 版（即被證14）後仍有持續更新，無法據以證明第0.0 版於2001年8 月30日即已公開及其公開內容為何。故依現有事證尚難證明被證14於系爭專利二優先權日前已公開，被證14無法作為證明系爭專利二不具新穎性或進步性之適格證據。

(2)關於被證14之證據能力，亦經另案本院106 年度行專訴字第90號行政判決認定舉發證據4 （包含舉發證據4-1 ，即本件之被證14）不具證據能力（見該判決書第46頁），併予敘明。

4.上證5 足以證明系爭專利二請求項7 、13、15、17、18不具新穎性、進步性：

(1)比對系爭專利二請求項7 與上證5-1 之技術內容可知，上證5-1 之產品規格書係揭露一種快閃記憶體架構及其操作

方法，其中上證5-1 圖1 顯示該快閃記憶體具有NAND快閃
記憶體陣列、頁暫存器、I /O 緩衝器及栓鎖器、輸出驅
動器等電路；又上證5-1 第32頁表2 及其上方之文字說明
，可知該快閃記憶體內具有狀態暫存器，可供儲存有「寫
入」或「抹除」動作是否結束以及成功與否之結果資訊，
表2 中並顯示輸入／輸出端子I /O0可輸出全部平面頁之
成功／失敗結果，I /O1至I /O4則可分別輸出Plane 0
至Plane 3 之成功／失敗結果，由此可知上證5-1 隱含有
在該快閃記憶體中具有用以驗證寫入、抹除動作成功／失
敗之電路，否則狀態暫存器無從取得寫入或抹除動作之成
功／失敗資訊，對應揭露系爭專利二請求項7 之「一種半
導體積體電路，其具備：成功／失敗判定電路，其係配置
成判定前一動作結果，並輸出成功／失敗信號」技術特徵
；又前述上證5-1 表2 所示之狀態暫存器（參見表2 上方
之說明文字）儲存寫入、抹除動作之成功／失敗結果並可
對應於I /O0至I /O4加以輸出，另依上證5-1 圖12所示
，在多平面頁寫入操作中，如進行實頁寫入（依據實頁寫
入指令10h ）後，即可自I /O 輸出各平面之寫入成功／
失敗結果（參見上證5-1 第29頁文字說明），是以當進行
連續多次的多平面頁寫入操作後，或對某平面或不同平面
進行連續寫入操作後，依表2 所示，狀態暫存器自當可依
序獲得多次的寫入動作成功／失敗結果，並由相對應之I
/O 加以輸出，即對應揭露系爭專利二請求項7 之「成功
／失敗保留電路，其係連結為接收上述成功／失敗信號，
用以分別保留上述連續進行之第一動作及第二動作之各個
成功／失敗結果」技術特徵。另依上證5-1 圖1 所示，快

閃記憶體具有輸出驅動器連接至輸入／輸出端子（I00 至 I07），可知前述狀態暫存器內所儲存之成功／失敗結果需經由輸出驅動器輸出至輸入／輸出端子，故該輸出驅動器即對應揭露系爭專利二請求項7 之「輸出電路，其係配置成於前述第一動作及第二動作連續執行時，輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」技術特徵。綜上，上證5-1 業已揭露系爭專利二請求項7 之全部技術特徵，故上證5-1 足以證明系爭專利二請求項7 不具新穎性。

(2) 鎧俠公司抗辯上證5-1 圖9 之Plane 0 至Plane 3 僅輸入一個實頁寫入指令（10h），故僅能視為一個寫入動作，與系爭專利二請求項7 之「連續進行的第一動作與第二動作」技術特徵大相逕庭云云（鎧俠公司107 年3 月28日民事上訴答辯(二)狀第18、19頁、108 年8 月15日民事言詞辯論意旨狀一系爭專利二有效性及侵權第24、25頁）。但查，新穎性的比對係以專利之請求項內容與先前技術為比對，請求項內容如有先前技術所無之技術特徵，始能認定具新穎性。鎧俠公司之主張無非是認為上證5 圖9 具有系爭專利二請求項7 所無之技術特徵（單一寫入指令），此正表示上證5 圖9 已揭露系爭專利二請求項7 之全部技術特徵。而系爭專利二請求項7 既未限定任何關於動作類別或動作指令之相關技術特徵，當不能據以認定與上證5-1 圖9 所示之連續虛頁寫入動作有何差異。又依原證27（系爭產品一與系爭專利二之侵害分析報告）第13至15頁所示，鎧俠公司主張系爭產品一具有系爭專利二請求項7 之「連續進行的第一動作與第二動作」技術特徵而構成侵權時，

01 係以系爭產品1 之連續快取寫入動作（原證16之系爭產品
02 一規格書第27頁）據以認定，然該快取寫入操作係在連續
03 的快取寫入指令後，最後亦僅輸入一個實頁寫入指令（10
04 h ），可見鎧俠公司在侵權主張時係認系爭專利二請求項
05 7 之前述技術特徵與是否僅輸入一個實頁指令無涉，如今
06 卻以上證5-1 圖9 在連續的虛頁寫入動作後輸入一個實頁
07 寫入指令，認為與系爭專利二請求項7 之前述技術特徵不
08 同，足見鎧俠公司之主張顯然自相矛盾。

09 (3)鎧俠公司另抗辯上證5-1 第29頁文字記載可知圖9 之4 個
10 平面係「同時寫入」，並非如系爭專利二請求項7 之「連
11 續進行的第一動作與第二動作」技術特徵云云（鎧俠公司
12 107 年3 月28日民事上訴答辯(二)狀第20頁）。然查，上證
13 5-1 第29頁關於「多平面頁寫入（Multi-Plane Page Pro
14 gram）」之說明，業已指出藉由連續的虛頁寫入動作（虛
15 頁寫入指令11h ）先將資料依序載入於各平面之頁暫存器
16 中，最後再利用實頁寫入指令（10h ）將各頁暫存器之資
17 料同步寫入至各平面中之特定頁中，可見此處的「同步寫
18 入」是指資料由頁暫存器載入至各相對應之平面中的特定
19 頁而言，但將資料載入至頁暫存器（平面Plane 0 至Plan
20 e 3 各具有1 個對應的頁暫存器）時，確實是以連續的虛
21 頁寫入動作（Plane 0 之頁暫存器→Plane 1 之頁暫存器
22 →…→Plane 3 之頁暫存器）循序進行，而系爭專利二請
23 求項7 既未界定第一、第二動作之種類或動作對象，前述
24 之連續虛頁寫入動作自當對應於系爭專利二請求項7 之「
25 連續進行的第一動作與第二動作」技術特徵。再者，依上
26 證5-1 之記憶體架構，每1 個頁暫存器容量係528 位元組

，縱使將資料一次同步寫入4 個平面也僅有 $528 \times 4 = 2.1\text{KB}$ ，是以在一般的寫入操作上當需連續進行多次的寫入動作（實頁寫入）才能滿足實際的資料量存取需求（檔案大小鮮少低於 2.1KB ），是以連續的實頁寫入動作也對應於系爭專利二請求項7 之「連續進行的第一動作與第二動作」技術特徵。

(4)比對系爭專利二請求項13與上證5-1 之技術內容可知，上證5-1 圖9 揭露在4 個平面頁寫入操作中包含連續的多個虛頁寫入動作（依據虛頁寫入指令11h），依序對於Plane 0 至3 之資料進行虛頁寫入，圖13則顯示4 個區塊抹除動作係包含連續的多個抹除動作，對應揭露系爭專利二請求項13之「一種半導體積體電路之操作方法，其係包含：連續執行第一動作與第二動作」技術特徵；又上證5-1 圖12顯示多平面頁寫入操作，在實頁寫入動作後，可輸出成功／失敗之結果狀態，圖13則顯示在區塊抹除後可輸出成功／失敗之結果狀態，以寫入之操作為例，參照圖9 所示可知在多平面頁寫入操作中係包含對多個不同平面Plane 0 至Plane 3 的連續寫入動作，而既表2 之I /01至I /04係分別輸出Plane 0 至Plane 3 之寫入成功／失敗結果，即表示狀態暫存器中分別保留有Plane 0 至Plane 3 之寫入成功／失敗結果，在實頁寫作動作結束後，即可透過各I /0 輸出至快閃記憶體外部，對應揭露系爭專利二請求項13之「上述第一動作結束後，於內部保留其動作之成功／失敗結果，上述第二動作結束後，於內部保留其動作之成功／失敗結果，上述第一及上述第二動作結束後，將上述第一動作之成功／失敗結果與前述第二動作之成功／

01 失敗結果皆輸出至半導體積體電路之外部」技術特徵。綜
02 上，上證5-1 業已揭露系爭專利二請求項13之全部技術特
03 徵，故上證5-1 足以證明系爭專利二請求項13不具新穎性
04 。

05 (5)查系爭專利二請求項15係依附於請求項13，並界定「上述
06 第一、第二動作均係資料寫入動作」之附屬技術特徵，上
07 證5-1 圖9 顯示連續的多個虛頁寫入動作，況依上證5-1
08 圖1 至3 之架構可知，當欲寫入各平面之資料量大於頁暫
09 存器（page register）之容量時，自需連續多次寫入，
10 均對應揭露前述之附屬技術特徵，又上證5-1 足以證明系
11 爭專利二請求項13不具新穎性之理由，已如前述，故上證
12 5-1 足以證明系爭專利二請求項15不具新穎性。

13 (6)又查，系爭專利二請求項17係依附於請求項13，並界定「
14 上述第一、第二動作係於具有包含非揮發性記憶體單元之
15 記憶體單元陣列的非揮發性半導體儲存電路執行」之附屬
16 技術特徵。系爭專利二請求項18係依附於請求項13，並界
17 定「上述記憶體單元陣列包含配置成行列狀之數個NAND型
18 單元」之附屬技術特徵。因上證5-1 圖1 揭露快閃記憶體
19 具有NAND快閃記憶體陣列，對應揭露前述附屬技術特徵，
20 又上證5-1 足以證明系爭專利二請求項13不具新穎性之理
21 由，亦有如前述，故上證5-1 足以證明系爭專利二請求項
22 17、18不具新穎性。

23 (7)承上，系爭專利二請求項7、13、15、17、18之全部技術
24 特徵既為上證5-1 所揭露，則所屬技術領域中具有通常知
25 識者依上證5-1 之技術內容，自可輕易完成系爭專利二請
26 求項7、13、15、17、18之發明，且能達成相同之功效，

故上證5-1 亦足以證明系爭專利二請求項7 、13、15、17
、18不具進步性。

5.被證15足以證明系爭專利二請求項7 、13、17、18不具新穎
性、進步性，且足以證明系爭專利二請求項15不具進步性：

(1)比對系爭專利二請求項7 及被證15之技術內容可知，被證
15圖1 揭露之快閃記憶體（1 ），包含有模式控制電路（
18）、狀態暫存器（180 ）、多工器（7 ）及輸出緩衝器
（15）等構件。其中模式控制電路（18）係用來判斷來自
於外部輸入輸出端子IO／0 至IO／7 之各指令，且當執行
抹除、寫入操作時，可通知外部電路目前是否為就緒或忙
碌狀態（被證15說明書第11欄第45至64行）。依被證15圖
1 所示，模式控制電路（18）另包含有狀態暫存器（180
），而該狀態暫存器（180 ）係用來儲存或保留記憶體之
內部狀態，並可經由輸入／輸出端子IO／0 至IO／7 輸出
狀態暫存器（180 ）所儲存之內容，詳如被證15圖4 所示
，其中狀態暫存器（180 ）對應於IO／4 部分，係保留「
寫入動作」之成功或失敗結果（成功信號：VOL 、失敗信
號：VOH ），狀態暫存器（180 ）對應於IO／5 部分係保
留「抹除動作」之成功或失敗結果（成功信號：VOL 、失
敗信號：VOH ），足認如對於快閃記憶體（1 ）進行寫入
後加以抹除、或先抹除後再予寫入之動作後，當可於IO／
4 、IO／5 分別取得寫入成功／失敗，及抹除成功／失敗
之結果。是以，上述被證15之技術內容業已揭露系爭專利
二請求項7 之「一種半導體積體電路，其具備：成功／失
敗判定電路，其係配置成判定前一動作結果，並輸出成功
／失敗信號；成功／失敗保留電路，其係連結為接收上述

成功／失敗信號，用以分別保留上述連續進行之第一動作及第二動作之各個成功／失敗結果」技術特徵。被證15圖1另揭露快閃記憶體（1）在狀態暫存器（180）及輸入／輸出端子IO／0至IO／7之間，具有輸出緩衝器（15）及多工器（7），是以由IO／0至IO／7輸出狀態暫存器（180）所保留之狀態時，當需經由輸出緩衝器（15）或多工器（7）加以輸出，對應揭露系爭專利二請求項7之「輸出電路，其係配置成於前述第一動作及第二動作連續執行時，輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」技術特徵。

(2)鎧俠公司主張被證15圖4僅揭露IO／4可輸出寫入動作之成功／失敗結果，且IO／5可輸出抹除動作之成功／失敗結果，卻完全未提及該寫入動作及該抹除動作為同一流程所執行（其可能為兩個單獨的動作），遑論該寫入動作及抹除動作為連續執行的兩個動作云云（鎧俠公司107年3月28日民事上訴答辯(二)狀第22頁7至11行）。但查，系爭專利二請求項7係界定「成功／失敗保留電路…用以『分別』保留上述『連續進行之第一動作及第二動作』之各個成功／失敗結果…」，並未限定第一動作及第二動作屬同一流程，亦未限定各別成功／失敗結果之保留時間點，亦即「分別保留」可能是在同一時間保留兩個動作的兩個結果，也可能是在先後兩個不同時間各保留一個動作的成功／失敗結果。是以，被證15圖4既揭露狀態暫存器（180）對應於IO／4、IO／5分別可輸出寫入、抹除動作之成功／失敗結果，則當兩個獨立動作（寫入、抹除）先後接續進行時，其循序輸出寫入、抹除之成功／失敗結果，即

符合系爭專利二請求項7 所界定之技術特徵。

(3)將系爭專利二請求項13與被證15之技術內容相比對可知，被證15圖61揭露之重寫（rewrite）操作模式，包含讀取動作（S62）、抹除動作（S65）及寫入動作（S66）。其中抹除動作（S65）之後緊接著寫入動作（S66），對應揭露系爭專利二請求項13之「一種半導體積體電路之操作方法，其係包含：連續執行第一動作與第二動作…」技術特徵；另依被證15說明書中關於圖61之說明，提及其寫入操作同圖16（被證15說明書第28欄第1至5行），而圖16揭露在寫入操作後可輸出成功或失敗結果至狀態暫存器（180）（見圖16之步驟S5、S8），另參照被證15圖4所示之狀態暫存器（180）對應於各輸入／輸出端子之定義表，可知狀態暫存器（180）除了保留有寫入動作之成功／失敗結果（由I／04輸出），另保留有抹除動作的成功／失敗結果（由I／05輸出），故被證15圖61所示之重寫操作模式中連續執行之抹除動作、寫入動作（對應系爭專利二之第一、第二動作），其各別之成功／失敗結果當可保留於狀態暫存器（180）中，並透過輸入／輸出端子（I／04、I／05）輸出至快閃記憶體之外部，對應揭露系爭專利二請求項13之「上述第一動作結束後，於內部保留其動作之成功／失敗結果，上述第二動作結束後，於內部保留其動作之成功／失敗結果，上述第一及上述第二動作結束後，將上述第一動作之成功／失敗結果與前述第二動作之成功／失敗結果皆輸出至半導體積體電路之外部」技術特徵。職是，系爭專利二請求項13之全部技術特徵已為被證15所揭露，被證15足以證明系爭專利二請求項13不具

01 新穎性。

02 (4) 鎧俠公司辯稱被證15圖61之流程雖參照圖16，但圖16僅明
03 確揭示判定寫入動作之成功／失敗結果，並未提及抹除動
04 作之成功／失敗結果，可見被證15圖16與圖61之流程並不
05 需要判定抹除動作之成功／失敗結果，不能恣意假設將圖
06 4 單獨輸出抹除動作之成功／失敗結果加至圖16、61之流
07 程中云云（鎧俠公司107 年3 月28日民事上訴答辯(二)狀第
08 22頁、108 年8 月15日民事言詞辯論意旨狀一系爭專利二
09 有效性及侵權第26至27頁）。惟查，被證15說明書第28欄
10 第1 至5 行既已載明圖61之寫入動作（S66 ）同圖16，並
11 由圖16中可知寫入動作執行後可輸出成功／失敗結果。復
12 由被證15圖4 之狀態暫存器關於輸入／輸出端子I ／04部
13 分，可知由該端子得輸出「寫入動作」之成功／失敗結果
14 ，即對應於圖61之步驟S66 。同理，由被證15圖4 中關於
15 輸入／輸出端子I ／05部分，既載明可輸出「抹除動作」
16 之成功／失敗結果，自當對應於圖61中之抹除動作（S65
17 ），而能保留其成功／失敗結果並自I ／05輸出，故被證
18 15圖61雖未明確記載得保留抹除動作之成功／失敗結果，
19 然併同被證圖4 之內容加以理解後，應可直接且無歧異得
20 知圖61之抹除動作，其成功／失敗結果可如同寫入動作一
21 般加以保留於狀態暫存器內。

22 (5) 鎧俠公司另抗辯系爭專利二請求項13係待第一及第二動作
23 皆結束後才輸出成功／失敗結果，然被證15圖61係針對同
24 一標定區域進行抹除及寫入動作，若待抹除及寫入動作皆
25 完成後才輸出成功／失敗結果，則將毫無意義云云（107
26 年3 月28日民事上訴答辯(二)狀第23頁）。然查，系爭專利

說明書第34頁關於[發明功效]載明「…於動作結束後連續進行動作之成功／失敗結果保留於晶片內之第一動作及第二動作時，可輸出兩者之成功／失敗結果，可提高半導體積體電路外之控制上的便利性」，並以相類似內容記載於系爭專利二請求項13作為申請專利之發明，則既第一、第二動作之成功／失敗結果有助於晶片外控制之便利性，且系爭專利二請求項13並未限定第一、第二動作為何，則被證15圖61之抹除動作及寫入動作自當對應於系爭專利二請求項13之第一、第二動作，且被證15圖4揭露抹除動作及寫入動作之成功／失敗結果得由I／04、I／05輸出，自當具有系爭專利二所稱便於晶片外控制之功效，並非毫無意義。

(6)查系爭專利二請求項17係依附於請求項13，並界定「上述第一、第二動作係於具有包含非揮發性記憶體單元之記憶體單元陣列的非揮發性半導體儲存電路執行」之附屬技術特徵，又被證15圖1所示之快閃記憶體（1），其記憶區（3）包含有記憶體單元陣列（說明書第10欄第63至66行），即揭露前述之附屬技術特徵；再者，系爭專利二請求項13之全部技術特徵為被證15所揭露，已如前述，故被證15足以證明系爭專利二請求項17不具新穎性。

(7)系爭專利二請求項18係依附於請求項13，並界定「上述記憶體單元陣列包含配置成行列狀之數個NAND型單元」之附屬技術特徵。查被證15說明書第17欄第67行至第18欄第8行記載「快閃記憶體的記憶陣列，不限定在上述之AND型記憶體陣列，也可以應用在…圖14之NAND型記憶體陣列…。在這些記憶體陣列結構之任一種，快閃記憶體之記憶單

元基本上均有相同結構」，即揭露前述附屬技術特徵；又系爭專利二請求項13之全部技術特徵為被證15所揭露，已如前述，故被證15足以證明系爭專利二請求項18不具新穎性。

(8)承上，系爭專利二請求項7、13、17、18之全部技術特徵既為被證15所揭露，則所屬技術領域中具有通常知識者依被證15之技術內容，自可輕易完成系爭專利二請求項7、13、17、18之發明，且能達成相同之功效。職是，被證15足以證明系爭專利二請求項7、13、17、18不具進步性。

(9)末查，系爭專利二請求項15係依附於請求項13，並界定「上述第一、第二動作均係資料寫入動作」之附屬技術特徵，又被證15圖61雖揭露在抹除動作（S65）緊接著寫入動作（S66），而非連續兩個寫入動作，惟快閃記憶體之操作不外寫入、讀取及抹除等動作，且資料寫入時係以頁為單位，則資料量大於一頁時，當需多次的連續寫入動作，被證15圖4既揭露狀態暫存器（180）可保留寫入動作之成功／失敗結果，則所屬技術領域中具有通常知識者依被證15之技術內容，當能輕易思及利用狀態暫存器（180）分別保留二次寫入動作之成功／失敗結果，故被證15足以證明系爭專利二請求項15不具進步性。

6.被證2（結合系爭專利二自承之先前技術）足以證明系爭專利二請求項7、13、15、17、18不具進步性：

(1)比對系爭專利二請求項7與被證2之技術內容可知，被證2圖1揭露一種快閃記憶體，包含驗證電路（103）、驗證狀態輸出電路（104）、第一鎖存電路（105）、輸出電路（106）及第二鎖存電路（107），其中驗證電路（

103) 可輸出驗證狀態資訊，用來指示對於記憶體陣列 (101) 進行寫入動作或抹除動作之驗證結果 (參見被證2 說明書第6 欄第45至48行)，對應揭露系爭專利二請求項7 之「一種半導體積體電路，其具備：成功／失敗判定電路，其係配置成判定前一動作結果，並輸出成功／失敗信號」技術特徵。又被證2 之第一鎖存電路 (105) 係用來接收驗證電路 (103) 之驗證結果信號 (VPASS0至VPASS(N-1)，見被證2 圖1) 並可暫時將之儲存 (被證2 說明書第7 欄第27至35行)，對應揭露系爭專利二請求項7 之「成功／失敗保留電路，其係連結為接收上述成功／失敗信號，用以分別保留上述連續進行之第一動作及第二動作之各個成功／失敗結果」技術特徵，而被證2 之輸出電路 (106) 係用來接收第一鎖存電路 (105) 之輸出信號 (VPL0至VPL(N-1))，並輸出驗證結果至外部裝置 (被證2 說明書第7 欄第35至43行)，對應揭露系爭專利二請求項7 之「輸出電路，其係配置成於前述第一動作及第二動作連續執行時，輸出保留於上述成功／失敗保留電路內之上述第一動作及第二動作的各個成功／失敗結果」技術特徵。又依被證2 第6 欄第5 至44行及圖1 所示，可知M 個頁緩衝器子區塊中之頁緩衝器，以及驗證電路 (103)、第一鎖存電路 (105) 與輸出電路 (106) 均有相對應之N 個子區塊，因此可由N 個輸入／輸出端子 (IO0 至IO(N-1)) 各別輸出每個頁緩衝器之寫入／抹除驗證結果，則當將不同頁緩衝器之資料對記憶體陣列進行連續寫入 (參見被證2 圖10) 或連續抹除等動作時，由相對應的輸入／輸出端子自當可獲得各動作之驗證結果。是以，被證2 業已

01 揭露系爭專利二請求項7 之全部技術特徵，自當具有系爭
02 專利二之相同功效，所屬技術領域中具有通常知識者由被
03 證2 之技術內容即可輕易完成系爭專利二請求項7 之發明
04 ，故被證2 足以證明系爭專利二請求項7 不具進步性。

05 (2)鎧俠公司主張由被證2 圖1 及其相關敘述，可知被證2 之
06 頁緩衝器 (102) 係「一次動作」同時寫入，而驗證狀態
07 信號 (VPASS0至VPASS(N-1)) 係為一次動作之成功／失
08 敗結果，而非連續進行之多個動作之成功／失敗結果，與
09 系爭專利二請求項7 係於「第一動作及第二動作連續執行
10 」時輸出成功／失敗結果並不相同云云 (107 年3 月28日
11 民事上訴答辯(二)狀第24、25頁、108 年8 月15日民事言詞
12 辯論意旨狀一系爭專利二有效性及侵權第22至24頁) 。但
13 查，被證2 圖1 揭露有M 個頁緩衝器 (102-0 至102-(M
14 -1)) ，而各個頁緩衝器又可分為N 個子區塊，各相對應
15 之子區塊共同連結至驗證電路 (103) 之子區塊，例如頁
16 緩衝器之102-0-0 子區塊、102-1-0 、…、102-(M-1)
17 -0子區塊係共同連結至103-0 ，亦即驗證電路 (103) 之
18 子區塊103-0 係輸出M 個頁緩衝區子區塊之共同驗證資訊
19 ，而整個驗證電路 (103) 在同一時間至多能輸出N 個驗
20 證資訊 (但頁緩衝區共有M × N 個子區塊) ，亦即只要共
21 同連接的M 個頁緩衝區子區塊其中之一驗證失敗，即輸出
22 驗證失敗之結果。是以，依被證2 圖1 所示之架構，在每
23 一次動作 (寫入或抹除) 之後，驗證電路 (103) 對應於
24 頁緩衝區之N 個子區塊至多均可輸出N 個驗證資訊，因此
25 當連續寫入或抹除時 (例如2 次分別針對不同的記憶體單
26 元進行寫入或抹除) ，驗證電路 (103) 當可循序輸出多

01 次的寫入或抹除驗證結果。

02 (3)鎧俠公司另主張被證2 圖10之兩個頁緩衝器 (PB-2-2-k、
03 PB-6-5-0) 輸入資料時間雖不同，但被證2 圖10僅輸入一
04 個寫入命令 (PG COM)，故其僅為一個完整的寫入動作，
05 與系爭專利二請求項7 之「連續進行的第一動作與第二動
06 作」大相逕庭云云 (107 年3 月28日民事上訴答辯(二)狀第
07 26、27頁)。然查，系爭專利二請求項7 並未限定「連續
08 進行的第一動作與第二動作」係指何種動作，亦未限定第
09 一、第二動作係屬單一動作指令或分屬不同動作指令，當
10 不能因被證2 圖10顯示單一寫入指令即認與系爭專利二請
11 求項7 所請求之發明有所差異。而被證2 圖10顯示在第一
12 次寫入驗證後，因兩個頁緩衝器 (PB-2-2-k、PB-6-5-0)
13 之資料，其寫入驗證結果均為失敗，故進行第一次寫入；
14 而第二次寫入驗證結果顯示，頁緩衝器 (PB-6-5-0) 之資
15 料寫入結果為成功，但另一頁緩衝器 (PB-2-2-k) 為失敗
16 ，故至第二次寫入後，頁緩衝器 (PB-2-2-k) 之資料寫入
17 驗證結果方為成功。是由被證2 圖10明顯可見在寫入操作
18 中，對於頁緩衝器 (PB-2-2-k) 之資料連續進行兩次寫入
19 動作 (第一次失敗、第二次成功)，或者由兩個頁緩衝器
20 (PB-2-2-k、PB-6-5-0) 的角度觀之，在連續的兩次寫入
21 動作中，第一次寫入動作成功寫入頁緩衝器 (PB-6-5-0)
22 之資料，第二次寫入動作則成功寫入頁緩衝器 (PB-2-2
23 -k) 之資料，可見被證2 圖10確已揭露「連續兩次寫入動
24 作」，且在每次寫入動作後都輸出驗證成功／失敗之結果
25 ，與系爭專利二請求項7 所載之技術特徵相同。

26 (4)比對系爭專利二請求項13與被證2 之技術內容可知，被證

2 圖10揭露一種快閃記憶體之寫入操作方法，其係對於頁緩衝器（PB-2-2-k、PB-6-5-0）之資料連續進行兩次寫入動作，對應揭露系爭專利二請求項13之「一種半導體積體電路之操作方法，其係包含：連續執行第一動作與第二動作」技術特徵。又被證2 圖10顯示在每一個頁緩衝器之資料進行寫入動作後，均輸出寫入驗證之成功／失敗結果，且依被證2 圖1 所示，驗證電路（103 ）係連接於頁緩衝器（102 ），該驗證電路（103 ）可輸出寫入動作或抹除動作之驗證結果，而第一鎖存電路（105 ）可接收驗證電路（103 ）之驗證結果信號並暫時將之儲存，並透過輸出電路（106 ）將驗證結果輸出至外部裝置，對應揭露系爭專利二請求項13之「上述第一動作結束後，於內部保留其動作之成功／失敗結果，上述第二動作結束後，於內部保留其動作之成功／失敗結果，上述第一及上述第二動作結束後，將上述第一動作之成功／失敗結果與前述第二動作之成功／失敗結果皆輸出至半導體積體電路之外部」之技術特徵。職是，被證2 已揭露系爭專利二請求項13之全部技術特徵，自當具有系爭專利二之相同功效，所屬技術領域中具有通常知識者由被證2 之技術內容即可輕易完成系爭專利二請求項13之發明，故被證2 足以證明系爭專利二請求項13不具進步性。

- (5)查系爭專利二請求項15係依附於請求項13，並界定「上述第一、第二動作均係資料寫入動作」之附屬技術特徵，又被證2 圖10顯示連續的兩個寫入動作，對應揭露前述之附屬技術特徵，且被證2 足以證明系爭專利二請求項13不具進步性之理由，已如前述，故被證2 足以證明系爭專利二

請求項15不具進步性。

(6)系爭專利二請求項17係依附於請求項13，並界定「上述第一、第二動作係於具有包含非揮發性記憶體單元之記憶體單元陣列的非揮發性半導體儲存電路執行」之附屬技術特徵，又被證2 圖1 及說明書第5 欄第7 至17行顯示係非揮發性記憶體裝置，亦即快閃記憶體，對應揭露前述附屬技術特徵，且被證2 足以證明系爭專利二請求項13不具進步性之理由，有如前述，故被證2 足以證明系爭專利二請求項17不具進步性。

(7)系爭專利二請求項18係依附於請求項13，並界定「上述記憶體單元陣列包含配置成行列狀之數個NAND型單元」之附屬技術特徵，又被證2 圖1 揭露快閃記憶體具有記憶體陣列（101 ），且記憶體陣列（101 ）具有多個記憶體單元（101C），雖被證2 未揭露該記憶體單元（101C）係NAND型，惟系爭專利二說明書第6 頁[先前技藝] 部分已揭露採用NAND型單元之記憶體係習知技術，又被證2 足以證明系爭專利二請求項13不具進步性之理由，已如前述，故所屬技術領域中具有通常知識者將被證2 之快閃記憶體以系爭專利二自承之先前技術之NAND型單元加以實現時當能輕易完成系爭專利二請求項18之發明，職是，被證2 結合系爭專利二自承之先前技術足以證明系爭專利2 請求項18不具進步性。

(八)承上，因本件系爭專利一、系爭專利二有得撤銷之事由，已如前述，故本件相關侵權部分之爭點無庸審究。

(九)本件因系爭專利一、系爭專利二有得撤銷之事由，依智慧財產案件審理法第16條第2 項規定，鎧俠公司於本件民事訴訟

01 不得以系爭專利一、系爭專利二向力晶公司等主張權利，
02 本院爰做成終局判決。

03 七、綜上所述，系爭專利一請求項1、3、5、6違反核准時專
04 利法第71條第3款之規定；上證4足以證明系爭專利二請求
05 項1、3、5、6不具進步性；上證4及系爭專利一自承先
06 前技術之組合足以證明系爭專利一請求項1、3、5、6不
07 具進步性，又被證3足以證明系爭專利二請求項7、13、15
08 、17、18不具新穎性、進步性；被證8（參照被證8—1至
09 8—5）足以證明系爭專利二請求項7、13、15、17、18不
10 具新穎性、進步性；上證5足以證明系爭專利二請求項7、
11 13、15、17、18不具新穎性、進步性；被證15足以證明系爭
12 專利二請求項7、13、17、18不具新穎性、進步性，且足以
13 證明系爭專利二請求項15不具進步性；被證2（結合系爭專
14 利二自承之先前技術）足以證明系爭專利二請求項7、13、
15 15、17、18不具進步性，準此，依智慧財產案件審理法第16
16 條第2項規定，鎧俠公司於本件民事訴訟不得以系爭專利向
17 力晶公司等主張權利，故鎧俠公司依修正前專利法第84條
18 第1項前段、現行專利法第96條第2項對其等請求損害賠償
19 ，並依民法第185條第1項規定，請求力晶公司等負連帶賠
20 償責任；並依現行專利法第96條第1項規定訴請排除及防止
21 侵害。另對於力晶公司等所製造及販賣之侵權產品，依現行
22 專利法第96條第3項規定請求其銷毀，並應自市場上回收已
23 鋪貨產品等必要之處置，又鎧俠公司主張黃崇仁於101年11
24 月11日之前乃力晶公司之董事長，其雖自101年11月12日卸
25 任董事長，但仍續任董事，並擔任該公司之執行長，亦屬公
26 司之經理人，依公司法第8條第1項及第2項規定、第23條

第2項定，黃崇仁無論於擔任董事長期間或卸任董事長後至今，均為力晶公司之負責人，依法自應與力晶公司對鎧俠公司負連帶損害賠償責任，均為無理由，不應准許。其假執行之聲請亦失所附麗，應併予駁回。原審為力晶公司、黃崇仁、力積公司、瑄譽公司敗訴部分，並准免假執行部分，並非允洽，力晶公司、黃崇仁、力積公司、瑄譽公司之上訴為有理由，此部分應由並本院加以廢棄，改判如主文第2項。至於原判決為鎧俠公司敗訴之判決，及駁回其假執行之聲請部分，並無不合。鎧俠公司上訴意旨指摘原判決此部分不當，求予廢棄改判，為無理由，應予駁回。

八、本件事證已臻明確，兩造其餘攻擊方法及舉證，經核均對判決結果不生影響，爰不另一一論述，併此敘明。

九、據上論結，本件力晶公司、黃崇仁、力積公司、瑄譽公司之上訴為有理由，鎧俠公司之上訴為無理由，依智慧財產案件審理法第1條，民事訴訟法第450條、第449條第1項、第78條，判決如主文。

中 華 民 國 108 年 10 月 3 日

智慧財產法院第二庭

審判長法 官 汪漢卿

法 官 熊誦梅

法 官 曾啟謀

以上正本係照原本作成。

如不服本判決，應於收受送達後20日內向本院提出上訴書狀，其未表明上訴理由者，應於提出上訴後20日內向本院補提理由書狀（均須按他造當事人之人數附繕本），上訴時應提出委任律師或具有律師資格之人之委任狀；委任有律師資格者，應另附具律師

01 資格證書及釋明委任人與受任人有民事訴訟法第466條之1第1
02 項但書或第2項(詳附註)所定關係之釋明文書影本。如委任律
03 師提起上訴者，應一併繳納上訴審裁判費。

04 中 華 民 國 108 年 10 月 14 日

05 書記官 丘若瑤

06 附註：

07 民事訴訟法第466條之1(第1項、第2項)

08 對於第二審判決上訴，上訴人應委任律師為訴訟代理人。但上訴
09 人或其法定代理人具有律師資格者，不在此限。

10 上訴人之配偶、三親等內之血親、二親等內之姻親，或上訴人為
11 法人、中央或地方機關時，其所屬專任人員具有律師資格並經法
12 院認為適當者，亦得為第三審訴訟代理人。